

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-82800

(43) 公開日 平成9年(1997)3月28日

(51) Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/768			H 0 1 L 21/90	B
21/28	3 0 1		21/28	3 0 1 R

審査請求 未請求 請求項の数16 O L (全 20 頁)

(21) 出願番号 特願平7-235003

(22) 出願日 平成7年(1995)9月13日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 390020248

日本テキサス・インスツルメンツ株式会社

東京都港区北青山3丁目6番12号 青山富士ビル

(72) 発明者 原 和里

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 弁理士 小川 勝男

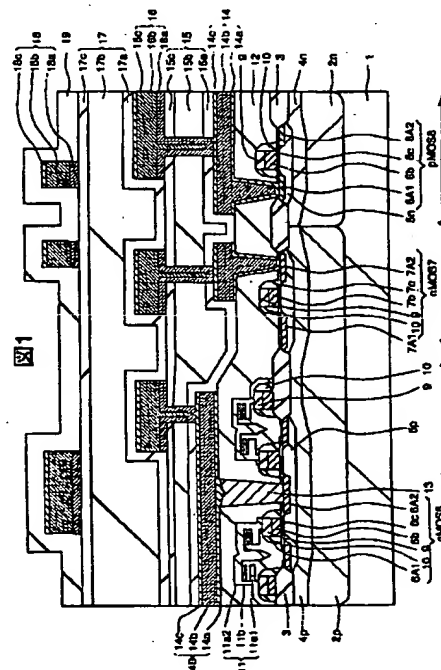
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置及びその製造方法

(57) 【要約】

【目的】 高融点金属で構成される導体膜を有する半導体集積回路装置において、導体膜、接続孔の加工時のフォトリソグラフィ、及びエッチング精度を向上する。

【構成】 高融点金属膜の上面が、低反射率の導体膜で構成されている第1の導体層と、前記第1の導体層上に接続孔が形成された絶縁膜と、前記接続孔に位置した前記第1の導体層部分と接続する第2の導体層とを有することを特徴とする半導体集積回路装置及びその製造方法。



## 【特許請求の範囲】

【請求項1】高融点金属膜の上面が、その高融点金属膜より低反射率を有する導体膜で構成されている第1の導体層と、前記第1の導体層上に接続孔が形成された絶縁膜と、前記接続孔に位置した前記第1の導体層部分と接続する第2の導体層とを有することを特徴とする半導体集積回路装置。

【請求項2】キャパシタとMISFETとから成る複数のメモリセルで構成されるメモリセル領域と、複数のMISFETで構成される周辺回路領域とを有するダイナミック型半導体記憶装置において、前記メモリセル領域及び周辺回路領域を被覆する第1の絶縁膜と、前記メモリセル領域上の第1の絶縁膜及び前記周辺回路領域上の第1の絶縁膜の上に形成された、高融点金属膜及びその高融点金属膜の上面がその高融点金属膜よりも低反射率を有する導体膜で構成された複数の第1の導体層と、前記メモリセル領域及び前記周辺回路領域におけるそれぞれの前記第1の導体層上に接続孔が形成された第2の絶縁膜と、前記それぞれの接続孔に位置した前記第1の導体層部分とそれぞれ接続する第2の導体層とを有することを特徴とする半導体集積回路装置。

【請求項3】請求項1または請求項2に記載の半導体集積回路装置において、前記高融点金属膜は、タングステン膜であることを特徴とする半導体集積回路装置。

【請求項4】請求項1または請求項2に記載の半導体集積回路装置において、前記低反射率の導体膜は、チタ化チタン膜であることを特徴とする半導体集積回路装置。

【請求項5】請求項1または請求項2に記載の半導体集積回路装置において、前記高融点金属膜はタングステン膜であって、前記低反射率の導体膜はチタ化チタン膜であることを特徴とする半導体集積回路装置。

【請求項6】請求項4または請求項5に記載の半導体集積回路装置において、前記メモリセル領域における接続孔と前記周辺回路領域における接続孔とはアスペクト比が異なることを特徴とする半導体集積回路装置。

【請求項7】半導体基体上に、高融点金属膜とその高融点金属膜よりも低反射率を有する導体膜とから成る積層膜を形成する工程と、フォトリソグラフィを用いて、前記積層膜から成る第1の導体層をパターン形成する工程と、前記第1の導体層上部に絶縁膜を形成する工程と、第1の導体層上部において、前記絶縁膜にフォトリソグラフィを用いて接続孔を形成する工程と、前記接続孔に第2の導体層を形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項8】キャパシタとMISFETとから成る複数のメモリセルで構成されるメモリセル領域と、複数のMISFETで構成される周辺回路領域とを有するダイナミック型半導体記憶装置の製造方法において、半導体基体に前記メモリセル領域内にメモリセル及び及び周辺回路領域内にMISFETを形成する工程、前記メモリセ

ル領域内のメモリセル及び周辺回路領域内のMISFETを被覆するように半導体基体主面上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に高融点金属膜と、その高融点金属膜よりも低反射率を有する導体膜とから成る積層膜を形成する工程と、フォトリソグラフィを用いて、前記積層膜から成るメモリセル用第1の導体層及び周辺回路用第1の導体層を形成する工程と、前記それぞれの第1の導体層上部に絶縁膜を形成する工程と、それぞれの第1の導体層上部において、前記絶縁膜にフォトリソグラフィを用いて第1、第2の接続孔を形成する工程と、前記第1、第2の接続孔にそれぞれ第2の導体層を形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項9】請求項7または請求項8に記載の半導体集積回路装置の製造方法において、前記高融点金属膜は、タングステン膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項10】請求項7または請求項8に記載の半導体集積回路装置の製造方法において、前記低反射率の導体膜は、チタ化チタン膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項11】請求項7または請求項8に記載の半導体集積回路装置の製造方法において、前記高融点金属膜は、タングステン膜であって、前記低反射率の導体膜は、チタ化チタン膜であることを特徴とする半導体集積回路装置の製造方法

【請求項12】請求項10または請求項11に記載の半導体集積回路装置の製造方法において、前記接続孔はアスペクト比が異なることを特徴とする半導体集積回路装置の製造方法。

【請求項13】請求項10または請求項11に記載の半導体集積回路装置の製造方法において、前記タングステン膜と、チタ化チタン膜とから成る積層膜を連続的にパターンニングすることにより、第1の導体層を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項14】請求項10または請求項11に記載の半導体集積回路装置の製造方法において、第1の導体層上の絶縁膜は平坦に形成することを特徴とする半導体集積回路装置の製造方法。

【請求項15】低抵抗率を有する金属膜の上面が、その金属膜より高抵抗率でかつ低反射率を有する導体膜で構成されている第1の導体層と、前記第1の導体層上に接続孔が形成された絶縁膜と、前記接続孔に位置した前記第1の導体層部分と接続する第2の導体層とを有することを特徴とする半導体集積回路装置。

【請求項16】請求項15に記載の半導体集積回路装置において、前記金属膜はアルミニウム膜であって、前記低反射率の導体膜は、チタ化チタン膜であることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置、特にその製造方法におけるフォトリソグラフィ技術、及びエッチング技術に適用して有効なものである。すなわち本発明は、半導体製造プロセスであるリソグラフィ技術、ドライエッチング技術に関するもので、特に高融点金属より成る配線を高精度、かつ高選択に加工するプロセスであり、半導体製造分野におけるW配線加工工程およびその後の配線接続加工工程に有効である。

【0002】

【従来の技術】一般に、半導体集積回路装置を製造するためのフォトリソグラフィ及びエッチング技術は、パターンニングされたフォトレジストをマスクに用いて、被エッチング材料が選択エッチングされる。しかし、例えば、凹凸を有する下地基板の上に形成された金属膜をフォトレジストをマスクとして選択エッチングする場合、フォトレジストのパターン露光の際に、その下地金属膜の光の反射率が高いと、ハレーションによりフォトレジストの露光精度が低下する。

【0003】この光の反射によるハレーションを防止し、露光精度すなわち金属膜のパターンニング精度の向上を図るための手段として、以下のような方法が知られている。

【0004】(1) パターンニングすべき金属膜の上に吸光剤入りフォトレジストであるBARC(Bottom Anti-Reflection Coating)膜を反射防止膜として堆積し、その膜上に感光用フォトレジストを堆積する。そして、それら堆積膜よりなるフォトレジストをパターン露光する。このようなパターンニング手法をBARC法と称している。

【0005】(2) 下地金属膜に堆積する反射防止膜として窒素化合物を用いた方法が特公平6-1764号公報あるいは特開平160081号公報に開示されている。これら各公報に開示されているパターン露光方法は、反射率の高いアルミニウム等の配線を形成するための反射防止膜として窒素化合物を使用するものである。

【0006】すなわち、窒素化合物を被加工膜上に反射防止膜として堆積し、この反射防止膜上に感光用フォトレジストを堆積する。そして、そのフォトレジストをパターン露光するものである。

【0007】

【発明が解決しようとする課題】16MビットDRAMに用いられる配線材料は、アルミニウム系の配線材料から、低抵抗で、かつそのアルミニウムに比べ、エレクトロマイグレーション耐性や耐腐食性のはるかに良いWあるいはMoなどの高融点金属が使用されるようになった。特に、この高融点金属は、ゲート電極としてではなく、2層配線あるいは3層配線として使われるようになった。

【0008】高融点金属であるタングステン等の配線材

料を用いた場合、その配線材料はアルミニウムよりも比較的反射率が低いために、ハレーションによるフォトレジスト露光精度への影響は問題とされていなかった。

【0009】しかし、次世代ビット、例えば64MビットDRAMを実現していくためには、半導体プロセスの微細化がさらに必要となり、従来問題とされていなかったタングステン膜の反射率をも考慮しなければならないことが発明者等によって認識された。

【0010】したがって、W、Moなどの高融点金属を用いた配線のパターンニングを行う場合においても、上述した例えばBARC法の採用が試みられた。

【0011】ところが、このBARC法において、以下のような新たな問題点があることを発明者等は見出した。

【0012】BARC法は反射防止膜をドライエッチングした後、ホトレジスト/反射防止膜をマスクにタングステン配線を加工するプロセスであるが、反射防止膜加工時のホトレジスト/反射防止膜削れ量が多い。

【0013】また、反射防止膜加工時の横方向へのエッチング量が多いなどの理由により、タングステン削れの発生、寸法シフト量が多いなどの問題があった。

【0014】さらに、反射防止膜のエッチング加工において、例えばその膜厚が1000Åの場合でも、約180秒を要しておりスループットが低いといった問題があった。

【0015】これら問題点をさらに詳しく述べる。

【0016】BARC法を用いたW配線加工プロセスを図24(a)～図24(c)に示す。

【0017】まず、図24(a)に示すように配線用タングステン金属膜101は、例えば層間絶縁膜100上に堆積される。この金属膜101上にBARC膜(反射防止膜)102及び感光用レジスト(フォトレジスト)103が堆積される。そして、フォトレジスト103およびBARC膜102がパターン露光された後、ドライエッチングによりフォトレジスト103がエッチされる。引き続いて、図24(b)に示すように、BARC膜102がエッチされる。この時、理想的には点線で示されたようにエッチング加工が成されればよいが、フォトレジスト103に対するBARC膜102のエッチング選択比は、約1である。すなわち、両膜はほぼ同じエッチング速度を有する。よって、BARC膜102のエッチング時にフォトレジスト103上部のエッチングが進みレジストロスが生じる。同時に、フォトレジストとBARC膜の側壁の削れ、すなわち寸法 $W_1$ から寸法 $W_2$ への寸法シフトが生じる。つまり、エッチングマスクの形状不良が生じる。特に、上記レジストロスを防止するため、BARC膜102上のフォトレジスト103を厚く塗布すると、フォトレジストのフォーカスマージンが低くなり、フォトレジストのパターン不良が発生した。また、このフォトレジスト103及びBARC

膜102をマスクとして用いたタングステン膜101のエッチング時にエッチングマスクであるそれらフォトレジスト103及びBARC膜102の削れが生じる。これは、タングステン膜101に対するフォトレジスト103及びBARC膜102のエッチング選択比は約2と低いためである。

【0018】この結果として、図24(c)に示すように、タングステン配線の寸法シフト( $W_2$ 、 $W_1$ )、及びタングステン配線の肩落ち削れEが生じ、配線断面形状のばらつき24が生じる。このため、電流密度の変化が生じ、デバイスの性能のばらつきが発生する。

【0019】また、反射防止膜(BARC膜)102のエッチング加工時には、その反射防止膜102のエッチングレートが上層のフォトレジスト103よりも低く、なおかつ上層のフォトレジスト103のレジストロスを見ると、エッチング加工条件に制約があった。

【0020】したがって、マスク(フォトレジスト/反射防止膜)加工のスループット向上が図れない問題がある。

【0021】一方、W配線加工後の層間絶縁膜の平坦性向上にともない深さの異なる配線接続孔を同時に加工する必要性が生じてきた。例えば、CMP(Chemical Mechanical Polishing)技術の採用による層間絶縁膜の平坦化の結果、アスペクト比の異なる配線接続孔を同時に形成するという必要性が生じてきた。そしてドライエッチング技術については浅い穴のW削れ量の抑制と深い穴の開口性確保を両立する必要が生じてきた。

【0022】また、浅い穴に過剰なオーバーエッチングが加わっても穴径を精度良く抑制する必要性が生じてきた。すなわち、アスペクト比の高い孔の開口の確保と、アスペクト比の低い孔の過剰開口の抑制を同時に満足させるという課題が発生している。

【0023】しかし、アスペクト比が異なる配線接続孔を同時形成する、すなわち層間絶縁膜の膜厚の異なる部分を同時エッチングして配線接続孔を形成する場合、図25に示すように層間絶縁膜15のアスペクト比の高い孔15d<sub>1</sub>の孔底部に位置した下層配線材52aを開口マージンを十分に拡大露出させる程度にエッチングを加えると、アスペクト比の低い孔15d<sub>2</sub>の孔底部に位置した下層配線52bの過剰エッチング、開孔部の側壁削れ(孔径の拡大)そして、上層配線との合わせ余裕の減少等の問題が発生する。すなわち、図26に示すような下層配線14に設けられる設計上の層間絶縁膜の開孔寸法d、開口(接続孔)51と上層配線16との合わせ余裕lと設定された時、現実におけるアスペクト比の低い孔15b部分のエッチング状態は、図27に示すパターン形状となる。つまり、開孔51の径孔がd<sub>1</sub>、dのように拡大される。このため、上層配線との合わせ余裕の減少(1)l<sub>1</sub>が生じる。そして、下層配線14の表面部52Cは過剰にエッチングがされてしまうという問

題が発生した。

【0024】本発明は上記課題に着目してなされたものである。

【0025】その目的は、高融点金属等から成る配線のフォトリソグラフィー精度を向上し、配線抵抗を小とした半導体集積回路装置を提供することにある。

【0026】本発明の他の目的は、高融点金属等から成る導体膜、及び接続孔(スルーホール)パターニング時のフォトリソグラフィー精度を向上した半導体集積回路装置を提供することにある。

【0027】本発明の他の目的は、アスペクト比の異なる接続孔形成時において、アスペクト比の高い孔の開口性の確保しつつ、アスペクト比の低い孔の下地膜削れ、及び接続孔の側壁削れを抑制した半導体集積回路装置の製造方法を提供することにある。

【0028】本発明のさらに他の目的は、配線接続孔加工時の横方向へのエッチング反応を抑制し、孔径の寸法精度を向上した半導体集積回路装置の製造方法を提供することにある。

【0029】

【課題を解決するための手段】本願によって開示される発明のうち、代表的なものの概要を以下に述べる。

【0030】本発明は、半導体集積回路装置であって、高融点金属膜の上面が、その高融点金属膜と比較して低反射率を有する導体膜で構成されている導体層がパターニング形成された配線を有することを特徴とするものである。

【0031】ここで、高融点金属とは、例えばタングステン(W)、チタン(Ti)等を用いる。また、低反射率の導体膜とは、その下方に位置する高融点金属よりも、光の反射率の低い導体膜のことを言い、例えば、チタ化チタン(TiN)等を用いる。

【0032】また、本発明は半導体集積回路装置の製造方法であって、半導体基体上に、高融点金属膜と低反射率の導体膜とから成る積層膜を形成する工程と、フォトリソグラフィーを用いて、前記積層膜から成る第1の導体層を形成する工程と、前記第1の導体層上部に絶縁膜を形成する工程と、第1の導体層上部において、前記絶縁膜にフォトリソグラフィーを用いて接続孔を形成する工程と、前記接続孔に第2の導体層を形成する工程とを有することを特徴とするものである。

【0033】

【作用】本発明においては、高融点金属膜の上面が低反射率の導体膜で構成された積層配線から成る。この低反射率の導体膜としてはTiN膜が用いられ、従来の配線パターニングで用いられていた吸光剤入りレジスト膜と比較して反射率が低く、なおかつ下地高融点金属膜に対するエッチング選択比が吸光剤入りレジスト、感光用レジストより高い。このため、配線パターニング(ドライエッチング)中のレジストロスが抑制され、かつレジス

トが無くなっても、そのTiN膜がハードマスクとなり、下地高融点金属膜の削れを抑制する。したがって、そのTiN膜を含めた実効的な配線幅の寸法加工精度を向上し、かつ配線抵抗を小さくした配線を有する半導体集積回路装置を達成することができる。

#### 【0034】

【実施例】本発明の一実施例である半導体集積回路装置及びその製造方法を図を用いて説明する。本実施例の半導体集積回路装置は例えば64MビットDRAMを構成している。

【0035】（実施例1）本発明の半導体集積回路装置のメモリセル領域および周辺回路領域を含む要部断面図を図1に示す。図中Mはメモリセル領域を示し、図中Aは周辺回路領域を示す。

【0036】半導体基板1は、例えば(100)結晶面を有するp形のシリコン単結晶から成る。半導体基板1のメモリセル領域M及び周辺回路領域Aには、メモリセル及び周辺CMOSのnMOS(FET)のための共通のpウェル2pが形成されている。このpウェル2pは、p形不純物のホウ素(B)等が半導体基板1内に選択的に導入されることによって形成される。また、半導体基板1の周辺回路領域Aには周辺CMOSのPMOS(FET)のためのnウェル2nが形成されている。このnウェル2nは、n形不純物のリン(P)等が半導体基板1内に選択的に導入されることによって形成される。

【0037】pウェル2pには、ウェハ表面の寄生チャンネル防止のためにp形チャンネルストップ層4pが素子分離用のフィールド絶縁膜3直下に、かつその絶縁膜に接して形成されている。このチャンネルストップ層4pは、後述するように、p形不純物のホウ素(B)等がウェル内全体にフィールド絶縁膜3を通して導入されることで形成される。

【0038】一方、nウェル2nには、ウェル表面の寄生チャンネル防止のためにn形チャンネルストップ層4nがフィールド絶縁膜3直下に、かつその絶縁膜に接して形成されている。このチャンネルストップ層4nには、後述するように、n形不純物のリン(P)等がウェル内全体にフィールド絶縁膜3を通して導入されることで形成される。なお、このフィールド絶縁膜3は、例えば半導体基板を選択酸化することにより形成された二酸化ケイ素(SiO<sub>2</sub>)から成る。

【0039】前記チャンネルストップ層4pはフィールド絶縁膜3に囲まれた素子形成領域5pの内部に位置した部分に不純物濃度のピークを有し、耐α線防止対策のためのp+埋込み層の役割を成す。

【0040】同様に、前記チャンネルストップ層4nは、フィールド絶縁膜3に囲まれた素子形成領域4nの内部に位置した部分に不純物濃度のピークを有し、耐α線防止対策のためのn+埋込み層の役割を成す。

【0041】メモリセル領域Mにおける素子形成領域5pすなわちp型半導体領域上には、メモリセルを構成するスイッチ用のnMOS(FET)6及び情報蓄積用のキャパシタ11が形成されている。

【0042】nMOS6は、LDD(Lightly Doped Drain)構造を有し、p形半導体領域5p主面上に形成されたゲート絶縁膜6cと、ゲート電極6b及びp形半導体領域5p内に形成されたソース・ドレインを構成する一対のn形の半導体領域6A1、6A2から成る。ゲート絶縁膜6cは、例えばSiO<sub>2</sub>から成る。ゲート電極6bは、例えばn形の低抵抗ポリシリコンから成る。このゲート電極6bの上部には例えばCVD-SiO<sub>2</sub>から成るゲートキャップaが被覆されている。また、このゲート電極6bの側部にはCVD-SiO<sub>2</sub>から成る、サイドウォール絶縁膜10が形成されている。前記一対のn形の半導体領域6a1、6a2は、例えばリン(P)が選択的にp形半導体領域5p内に導入されることで形成される。

【0043】メモリセル領域M中のnMOS6の一方の半導体領域層6A2は、隣接するnMOS6の一方の半導体領域層を構成し、2つのメモリセルの共通の領域となっている。

【0044】キャパシタ11は、例えばフィン形状をとり、一対のキャパシタ用電極11a1、11a2と、その間に形成されたキャパシタ用絶縁膜11bから構成される。

【0045】このキャパシタ用電極11a1、11a2は、例えばn形の低抵抗ポリシリコンから成る。キャパシタ用絶縁膜11bは、例えば窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)から成る。そして、一方のキャパシタ用電極11a1はnMOS6の一方の半導体領域層6A2と電気的に接続しており、もう一方のキャパシタ用電極11a2は、給電用配線(図示せず)と電気的に接続しており、もう一方のキャパシタ用電極11a2は、給電用配線(図示せず)と電気的に接続されている。

【0046】周辺回路領域Aにおける素子形成領域(半導体領域)5p上には、nMOS(FET)7素子形成領域(半導体領域)5n上にはpMOS(FET)8がそれぞれ形成されている。これらnMOS7およびpMOS8によって、メモリセルの周辺回路を構成する。

【0047】前記nMOS7、及びpMOS8は、それぞれLDD(Lightly Doped Drain)構造を有する。

【0048】前記nMOS7は、p形半導体領域5p主面上に形成されたゲート絶縁膜7cと、ゲート電極7b、および半導体領域5p内に形成されたソース・ドレインを構成する一対のn形半導体領域7A1、7A2から成る。n形半導体領域7A1、7A2は、n形不純物のリン(P)及びヒ素(As)等が選択的にp形半導体領域5p内に導入されることで形成される。一方、前記pMOS8は、n形半導体領域5n主面上に形成された

ゲート絶縁膜8cと、ゲート電極8bおよび半導体領域5n内に形成されたソース・ドレインを構成する一対のp形半導体領域8A1、8A2から成る。pMOSのp形半導体領域8A1、8A2は、p形不純物のホウ素(B)等が選択的にn形半導体領域5n内に導入されることで形成される。

【0049】なお、前記ゲート絶縁膜7c、8cは、例えば半導体領域5pおよび半導体領域5n表面をそれぞれ熱酸化することによって形成されたSiO<sub>2</sub>から成る。前記ゲート電極7bは例えばn形の低抵抗ポリシリコンから成る。一方、前記ゲート電極8bは例えばp形の低抵抗ポリシリコンから成る。そして、これらゲート電極7b、8bの上部にはCVD・SiO<sub>2</sub>から成るゲートキャップ9がそれぞれ被覆されている。また、このゲート電極7b、8bの側部にはCVD・SiO<sub>2</sub>から成るサイドウォール絶縁膜10が形成されている。

【0050】キャパシタ11、nMOS6、7、及びpMOS8が形成された半導体基板には層間絶縁膜(第1の絶縁膜)12が形成されている。この第1の絶縁膜は、例えばこの酸化ケイ素(SiO<sub>2</sub>)及びそのSiO<sub>2</sub>上に形成されたBPSG(Boro-Phospho Silicate Glass)の積層膜から成る。

【0051】そして、メモリセル領域Mの第1の絶縁膜12の上部にはビット線14Bが形成され、絶縁膜に穿孔された接続孔を通じ、メモリセルを構成するnMOS6の半導体領域6A2と電気的に接続している。ビット線14Bで深い接続孔を通して半導体領域6A2に直接コンタクトすることが困難である。このため、この接続孔内には、例えば、n形の低抵抗ポリシリコン13が埋め込まれている。

【0052】一方、周辺回路領域Aにおいて、第1の絶縁膜12の上部には、ビット線14Bと同時にパターンニングによって第1の導体層14が形成され、第1の絶縁膜に穿孔された接続孔を通じ、nMOS7、pMOS8それぞれの半導体領域7A2、8A1と電気的に接続している。

【0053】前記ビット線14Bと第1の導体層14は、本発明の特徴とする構成要素であり、TiN/W/TiN構造、すなわち下方から順にチタ化チタン(TiN)膜14a、タングステン(W)膜14b、そしてその最上面はチタ化チタン膜14cで構成されている。下層TiN膜14aは半導体領域7a2、8a1とのオーミックコンタクトを成すために形成されたもので、その膜厚は約50[nm]である。W膜14bは主たる配線材料として形成されたもので、その膜厚は約150[nm]である。そして、上層TiN膜14cは配線加工時の反射防止膜として用いられ、かつそのまま配線材料の一部として残されたものであり、その膜厚は約50[nm]である。そして、これらビット線14bおよび第1の導体層14の線幅は約400[nm]である。

【0054】第1の絶縁膜12の上面には、ビット線及び第1の導体層14を被覆するように、例えばCMP(Chemical Mechanical Polishing)により平坦化された層間絶縁膜(第2の絶縁膜)15が形成されている。すなわち、この第2の絶縁膜15は、例えばSiO<sub>2</sub>/SOG/SiO<sub>2</sub>(15a、15b、15c)の重ね膜から成り、その重ね膜中、SOG15bがCMP加工されている。したがって、第2の絶縁膜15は、それぞれメモリセル領域M上において約400[nm]、周辺回路領域A上において約600~700[nm]の膜厚を有する。

【0055】なお、第2の絶縁膜15において、SOG15bは熱的に安定なSiO<sub>2</sub>(15a、15c)ではさみこまれている。このため、SOG15bそれ自身は熱的に弱い(温度サイクルによりクラックが発生しやすい)が、熱的に安定なそれらSiO<sub>2</sub>(15a、15c)によってそのSOG15bが保護されているため、SOG15bにクラックが発生しても上層および下層の導体層への悪影響を回避することができる。しかも、上層導体層(第2の導体層16)は安定なSiO<sub>2</sub>(15c)上に接して形成されるため、その上層導体層の加工寸法精度の向上が図れる。

【0056】前記第2の絶縁膜15上面には複数の第2の導体層16が形成され、接続孔を通じビット線14B及び第1の導体層14とそれぞれ電気的に接続している。第2の導体層16は、TiN/Al/W構造すなわち、下方から順に、タングステン(W)膜16a、アルミニウム(Al)膜16b、そして最上面はチタ化チタン(TiN)膜16cで構成されている。下地W膜16aは上層Al膜16b第1の導体層14(ビット線14B)との間のバリア層として、また、第2の絶縁膜15の接続孔内のカバレッジを良好にするために形成されたもので、その膜厚は約50[nm]である。Al膜16bは主たる低抵抗配線材料として形成されたもので、その膜厚は約100[nm]である。そして、上層TiN膜16cは、前記第1の導体層14(ビット線14B)と同様、配線加工時の反射防止膜として用いられ、かつ、そのまま配線材料の一部として残されたものであり、その膜厚は約50[nm]である。

【0057】前記第2の絶縁膜15の上面には、第2の導体層16を被覆するように層間絶縁膜(第3の絶縁膜)17が形成されている。この絶縁膜は第2の絶縁膜16と同様にSiO<sub>2</sub>/SOG/SiO<sub>2</sub>(16a、16b、16c)の重ね膜から成る。さらに、第3の絶縁膜17の上面には複数の第3の導体層18が形成されている。図示されていないが、第3の導体層18は第2の絶縁膜16に設けられた接続孔を通じ第2の導体層16と電気的に接続している。

【0058】なお、第3の導体層18は、例えば、第2の導体層16と同様のTiN/Al/W構造を有する。

【0059】第3の絶縁膜17、及び第3の導体層18の上面には、例えば約600[nm]膜厚を有するSiO<sub>2</sub>から成る表面保護としてのファイナルパッシベーション膜(final passivation film)19が形成されている。

【0060】次に、本実施例1(図1)の半導体集積回路装置の製造方法を図2から図19を用いて説明する。図中Mはメモリセル領域を示し、図中Aは周辺回路領域を示す。

【0061】図2に示すように、p形シリコン単結晶から成る半導体基板1の主面にnウェル2n、及びpウェル2pが形成される。nウェル2nは、nウェル領域のみが露出するようなマスクを形成した後、リン(P)等を半導体基板に注入し、アニールすることによって形成される。一方、pウェル2pは、pウェル領域のみが露出するようなマスクを形成した後、ホウ素(B)等を半導体基板に注入し、アニールすることによって形成される。

【0062】具体的には、これらpウェル2p、及びnウェル2nの形成は、図に示されていないが、酸化膜の厚さを利用したセルフアライン技法(ツインウェルセルフアライン)により達成される。すなわち、半導体基板1のpウェルが形成されるべき主面部を耐酸化性膜であるSi<sub>3</sub>N<sub>4</sub>膜を選択的に覆う。そして、そのSi<sub>3</sub>N<sub>4</sub>膜が形成されていない半導体基板1のnウェルが形成されるべき主面部にn形を示すリンより成る不純物がイオン打込みにより導入され、n形イオン打込み層が形成される。この時のドーズ量は $2.0 \times 10^{11}$  atoms/cm<sup>2</sup>で、打込みエネルギーは125 KeVである。次に、そのSi<sub>3</sub>N<sub>4</sub>膜をマスクとして、そのn形イオン打込み層表面を選択酸化し、その表面にSiO<sub>2</sub>膜を形成する。次に、前記Si<sub>3</sub>N<sub>4</sub>膜を除去し、そのSiO<sub>2</sub>膜(選択酸化膜)をマスクとし、pウェルが形成されるべき主面部(Si<sub>3</sub>N<sub>4</sub>膜が除去された半導体基板1の主面部)にp形を示すボロンより成る不純物がイオン打込みにより導入され、p形イオン打込み層が形成される。この時のドーズ量は $8.0 \times 10^{11}$  atoms/cm<sup>2</sup>で、打込みエネルギーは60 KeVである。しかる後、温度条件約800℃~1200℃のもとでイオン打込みダメージ回復のアニールをともなったウェル拡散を行なうことで半導体基板1内にpウェル2p、及びnウェル2nが形成される。そして、これらウェル表面に形成されているSiO<sub>2</sub>膜が除去される。図2は、このSiO<sub>2</sub>膜が除去された時の半導体基板を示している。

【0063】次に、図3に示すようにウェル2p、2nが形成された半導体基板1の主面に、フィールド絶縁膜3を選択的に形成する。フィールド絶縁膜3は、例えば400[nm]程度の膜厚を有するSiO<sub>2</sub>から成り、周知のLOCOS(Local Oxidation of Silicon)法によって形成される。図3は、フィールド絶縁膜3形成時

に用いた耐酸化マスク(Si<sub>3</sub>N<sub>4</sub>膜)を除去した状態での半導体基板を示す。

【0064】て次に、図4に示すように、半導体基板1にp形チャネルストップ層4p、及びn形チャネルストップ層4nを形成する。まず、p形チャネルストップ層4pを形成するために、nウェル2n表面上を覆うマスクを選択的に形成し、ホウ素等を例えばイオン注入法でフィールド絶縁膜3を通して、表面にマスクが形成されていないpウェル2p内に導入する。この時のドーズ量は $4 \times 10^{11}$  atoms/cm<sup>2</sup>、打込みエネルギーは180 KeVである。このように高エネルギーでイオン打込みすることで、フィールド絶縁膜3を通してpウェル2p内に不純物が導入され、かつ、そのフィールド絶縁膜3とpウェル2pとの界面近傍に不純物濃度のピークをもたせることによって、フィールド絶縁膜3下の寄生チャネル(n形反転層)が形成されるのを防止できる。さらに、このp形チャネルストップ層4pは、フィールド絶縁膜3が形成されていない薄いSiO<sub>2</sub>膜3aが形成されているpウェル内においては、フィールド絶縁膜3直下よりも深い位置に不純物濃度のピークを有し、いわゆる耐α線防止のための埋込みP+層としての役目をはたすことになる。

【0065】また、n形チャネルストップ層4nを形成するために、pウェル2p表面上を覆うマスクを選択的に形成し、リン等を例えばイオン注入法でフィールド絶縁膜3を通して、表面にマスクが形成されていないnウェル2n内に導入する。その後、半導体基板1をアニールして、イオン打込みダメージの回復とともに、引き伸ばし拡散することによって、図4に示したようにp形、及びn形のチャネルストップ層4p、4nがpウェル2p、及びnウェル2n内にそれぞれ形成される。

【0066】次に、図5及び図6に示すように、半導体基板の主面にMISFET6、7、8を形成する。

【0067】まず、ゲート(ゲート絶縁膜およびゲート電極)形成に先立って、pウェル2p、及びnウェル2n表面に、ホウ素、及びリンをそれぞれイオン注入法等によって導入し、p形、及びn形の素子形成領域5p、5nを形成する。これは、素子形成領域5p、5nに形成されるMISFETに所望の電気特性を持たせるため、具体的にはしきい値電圧(V<sub>th</sub>)制御のためにそれぞれpウェル2p、及びnウェル2nの表面不純物濃度が制御される。すなわち、素子形成領域5pは、nMOSが形成される領域であり、例えば、ドーズ量は $3.6 \times 10^{11}$  atoms/cm<sup>2</sup>、打込みエネルギーは45 KeVの条件で、ボロンイオンの打込みによって形成される。一方、素子形成領域5nは、PMOSが形成される領域であり、例えばドーズ量は $4 \times 10^{11}$  atoms/cm<sup>2</sup>、打込みエネルギーは40 KeVの条件で、リンイオンの打込みによって形成される。前記SiO<sub>2</sub>膜3a、3bが除去された後、図5に示すように、それぞれの素子形成



領域5p、5nの主面を熱酸化してSiO<sub>2</sub>から成るゲート絶縁膜6c、7c、8cを形成する。この膜厚は、12[nm]程度である。次いで、素子形成領域5p、5n表面にゲート電極6b、7b、8bを形成するため、まず、例えばn形の低抵抗ポリシリコン膜をCVD法によって堆積する。このポリシリコン膜の膜厚は150[nm]程度である。続いて、キャップ層として、例えばSiO<sub>2</sub>から成る絶縁膜をCVD法等により堆積する。この膜厚は200[nm]程度である。そして、フォトリソグラフィ、及びエッチングにより、その絶縁膜及びポリシリコン膜をパターニングし、ゲート電極6b、7b、8b及びゲートキャップ層9を形成する。そして、フィールド絶縁膜3及びゲート電極6b、7bに自己整合されたn形MISFETの半導体領域6a1、6a2、7a1、7a2が素子形成領域5p内に選択的に形成される。例えば、これら半導体領域はリンイオン注入によって形成される。

【0068】この時のイオン打込み条件は、例えば、ドーズ量 $2 \times 10^{13}$  atoms/cm<sup>2</sup>、打込みエネルギー40 KeVである。次いで、フィールド絶縁膜3及びゲート電極8bに自己整合されたp形MISFETの半導体領域8a1、8a2が素子形成領域5n内に選択的に形成される。例えば、これら半導体領域は、ホウ素イオン注入によって形成される。この時のイオン打込み条件は、例えばドーズ量 $2 \times 10^{13}$  atoms/cm<sup>2</sup>、打込みエネルギー45 KeVである。

【0069】次いで、図6に示すように、ゲート電極6b、7b、8b、及び絶縁膜9の側面に、サイドウォール10を形成する。具体的には、厚さ100[nm]のSiO<sub>2</sub>膜を形成した後、このSiO<sub>2</sub>膜を異方性のエッチングすることによりサイドウォール10A、10Bが形成される。

【0070】この後、フィールド絶縁膜9及びサイドウォール10Aに自己整合された半導体領域6A1、6A2、7A1、7A2が素子形成領域5p内に選択的に形成される。この半導体領域6A1、6A2、7A1、7A2は、リンイオン打込みとアニール処理を含む不純物導入法により形成され、先に形成した半導体領域6a1、6a2、7a1、7a2よりも深く、かつ高い不純物濃度領域を有する。また、フィールド絶縁膜3及びサイドウォール10Bに自己整合された半導体領域8A1、8A2が素子形成領域5n内に選択的に形成される。この半導体領域8A1、8A2は、ボロンイオン打込みとアニール処理を含む不純物導入法により形成され、先に形成した半導体領域8a1、8a2よりも深く、かつ高い不純物濃度領域を有する。なお、n形を示す半導体領域6A1、6A2、7A1、7A2と、p形を示す半導体領域8A1、8A2の形成のためのアニール処理は同時に行なわれる。

【0071】次に、図7に示すように、半導体基板(メ

モリセル領域M)の主面に、メモリセルを構成するフィン形のキャパシタ11を形成する。このキャパシタの具体的形成方法の説明は省く。また、このキャパシタ11は、本実施例では、3枚のフィン有するフィン形キャパシタを用いたが、これに限られるものではなく、クラウン形のキャパシタ等を適用しても良い。

【0072】次に、図8に示すように、キャパシタ11が形成された半導体基板の上面に、絶縁膜(第1の絶縁膜)12を形成する。第1の絶縁膜12は、例えばSiO<sub>2</sub>及びBPSGとから成る。SiO<sub>2</sub>膜は、100[nm]程度の膜厚を有し、CVD(Chemical Vapor Deposition)法等によって堆積される。このとき用いる反応ガスは、例えばSiH<sub>4</sub>とN<sub>2</sub>Oとの混合ガスである。引き続き形成されるBPSG(Boro-Phospho Silicate Glass)膜は、500[nm]程度の膜厚を有し、CVD法等によって堆積される。このとき用いる反応ガスは、例えばTEOS(Tetraethoxysilane)ガスにリン及びホウ素を添加した混合ガスである。

【0073】次いで、メモリセル領域Mと周辺回路領域Aとの間の前記絶縁膜12の急激な段差をなくす目的で、その絶縁膜の上面をなだらかにする。そのために、例えば、半導体基板1をアニールして前記絶縁膜12をなだらかにした後、この絶縁膜12の表面をエッチバックする。そして、再び半導体基板1をアニールする。前記アニール処理は、例えばN<sub>2</sub>とO<sub>2</sub>との混合ガス中において行う。このようにして層間絶縁膜としての第1の絶縁膜12を形成する。

【0074】次に、図9に示すように、前記第1の絶縁膜12に、メモリセルを構成するnMOS6の半導体領域6A2との接続孔12aを形成する。前記接続孔は、例えばフォトリソグラフィ技術及びエッチング技術によって形成される。そして次に、前記接続孔12a内に例えばn形の低抵抗ポリシリコンから成る導体膜13を埋め込む。この導体膜13は、例えば以下のようにして形成される。

【0075】まず、第1の絶縁膜12の上面に、例えばn形の低抵抗ポリシリコンをCVD法で堆積する。このとき用いる反応ガスは、例えばシランガス(SiH<sub>4</sub>)とフォスフィン(PH<sub>3</sub>)との混合ガスである。続いて、CVD形成したポリシリコン膜をエッチバックし、接続孔12aのみに導体膜、すなわちポリシリコン膜が残るようにして形成するものである。

【0076】次に、図10に示すように、第1の絶縁膜12に、周辺回路を構成するnMOS7の一方の半導体領域7A2、及びpMOS8の一方の半導体領域8A1との接続孔12bを形成する。この接続孔12bは、例えばフォトリソグラフィ技術及びエッチング技術によって形成する。

【0077】次に、図11、及び図12に示すように、メモリセル回路を構成するためのビット線14B、及び



周辺回路を構成するための第1の導体層14を形成する。第1の導体層14は、本発明の特徴とする構成要素であり、以下のような方法によって形成される。

【0078】まず、図11に示すように、接続孔12bを有する第1の絶縁膜12の主面に、例えばチ化チタン(TiN)から成る金属膜14aをイオンスパッタリング法により堆積する。若しくは、チタン(Ti)をイオンスパッタリング法により堆積し、窒素(N<sub>2</sub>)雰囲気中で熱処理をしてTiN膜14aを形成する方法を用いても良い。この方法を用いた場合、堆積した金属膜と半導体領域との接続部において、Tiが半導体領域に拡散し、コンタクト抵抗を低減することができる。前記TiN膜14aは、約50[nm]程度の膜厚を有する。次に、例えばタングステン(W)から成る金属膜14bを形成する。そのためにまず、W膜をイオンスパッタリング法により堆積する。そして、引き続き、CVD法によりW膜を堆積する。これらのW膜はそれぞれ約150[nm]程度の膜厚を有する。前者のイオンスパッタリング法によるW膜は、接続孔12b内へのカバレッジを良好にした下地膜としての役目をなす。

【0079】次に、本実施例においては、前記タングステン膜14bの上にTiNから成る膜14cを例えばイオンスパッタリング法により形成する。このTiN膜14cは約50[nm]程度の膜厚を有し、後述するように本発明の目的を達成するために形成されたものである。すなわち、このTiN膜14は反射防止膜としての機能を有する。続いて、フォトレジストをその上面に塗布し、フォトリソグラフィ技術によりフォトレジストをパターニングする。

【0080】次に、図12に示すように、残されたフォトレジストRのパターンと整合するように、TiN膜14a、14c及びW膜14bをドライエッチング法等によりパターニングする。TiN膜及びW膜は、段階的にエッチングしてもよいし、連続的にエッチングしてもよい。例えば、TiN膜とW膜を段階的にエッチングする場合、まずTiN膜を例えばBCl<sub>3</sub>とCl<sub>2</sub>との混合ガスを用い、約40[°C]の雰囲気中でドライエッチングする。そして、W膜を例えば、SF<sub>6</sub>とN<sub>2</sub>との混合ガスを用いて、約-10~-30[°C]の雰囲気中でドライエッチングする。一方、例えば、TiN膜とW膜を連続的にエッチングする場合、例えばSF<sub>6</sub>とBCl<sub>3</sub>との混合ガスを用いて、約10[°C]の雰囲気中でドライエッチングする。

【0081】次いで、フォトレジストRのみをアッシングにより除去する。以上のようにして、メモリセル回路を構成するためのビット線14Bを形成すると同時に、周辺回路を構成するための第1の導体層14が形成される。

【0082】次に、図13に示すように、前記ビット線14B及び第1の導体層14の上面に層間絶縁膜(第2

の絶縁膜)15を形成する。第2の絶縁膜15は例えば次のように形成される。

【0083】まず、半導体基板上に、例えばSiO<sub>2</sub>から成る絶縁膜15aをCVD法によって堆積する。この膜厚は200[nm]である。このとき用いる反応ガスは、例えばTEOSとヘリウム(He)とO<sub>2</sub>との混合ガスである。続いて絶縁膜15a上に、例えばSOG(Spin On Glass)膜15bを塗布する。この膜厚は300[nm]である。その後、その2層構造の絶縁膜の上部をエッチバックすることにより、その上面をなだらかにする。続いて、SOG膜15bの上面に、例えばSiO<sub>2</sub>から成る絶縁膜15cをCVD法により堆積する。この膜厚は200[nm]である。このとき用いる反応ガスは、例えばTEOSとHeとO<sub>2</sub>との混合ガスである。上層配線のパターニング精度向上のために、例えば、CMP技術の採用により第2の絶縁膜15上面を平坦化する。このCMPはSOG膜15bに対して行われる。このように平坦化を行った場合、上層配線のフォトリソグラフィーの精度向上、すなわち露光時のフォーカスマージンを向上し、さらにフォトレジストパターンの形状不良を防止する。また、配線ピッチの微細化、信頼性の向上が図れる。

【0084】次に、図14に示すように、第2の絶縁膜15に、第1の導体層14と第2の導体層と電気的接続を行うための接続孔15d1、15d2を形成する。そのため、第2の絶縁膜15上にフォトレジストRを塗布し、フォトリソグラフィ技術を用いてパターニングする。そして、パターニングされたフォトレジストRをエッチングマスクに、ドライエッチング法によりメモリセル領域M及び周辺回路領域Aに位置した第2の絶縁膜15をエッチングし、接続孔15d1、15d2を同時に形成する。エッチングガスとしては、例えばCF<sub>4</sub>とCHF<sub>3</sub>とArとの混合ガスが用いられる。

【0085】次に、図15、及び図16に示すように、第2の導体層16を形成する。図15に示すように、第2の導体層16は、例えば下方から順に、タングステン(W)膜16a、アルミニウム(Al)膜16b、そして最上面はチ化チタン(TiN)膜16cから成り、以下のような方法で形成される。

【0086】まず、例えば、タングステン(W)から成る金属膜16aを形成する。前記第2の絶縁膜15に設けられた接続孔内における金属膜のカバレッジ向上のために、この金属膜16aは、イオンスパッタリング法により堆積される。この膜厚は、約50[nm]程度である。続いて、W膜をCVD法により堆積する。この膜厚は約100[nm]程度である。次に、例えばAlから成る金属膜16bをCVD法により堆積する。この膜厚は、約400[nm]程度である。次に、第1の導体膜と同様の目的で、反射防止膜として、例えばTiNから成る金属膜16cをイオンスパッタリング法により堆積

する。この膜厚は、約50[nm]程度である。そして、図16に示すように、第1の導体層15のパターニングと同様のフォトリソグラフィ及びエッチング技術を用い、第2の導体層16を形成する。次に、図17に示すように、前記第2の導体層16の上面に絶縁膜(第3の絶縁膜)17を形成する。この第3の絶縁膜17は、第2の絶縁膜15と同様に形成され、 $\text{SiO}_2/\text{SOG}/\text{SiO}_2$ (17a, 17b, 17c)の重ね膜から成る。なお、ここでは、すでに第2の絶縁膜にCMPを施すことにより、半導体基板主面の平坦化がされているので、第3の絶縁膜にはCMPを施さなくてもよい。次に、図示していないが、この第3の絶縁膜17に、第2の導体層16との接続孔を形成する。この接続孔は例えば前記第1の導体層14と第2の導体層16との接続孔と同様に形成される。

【0087】次に、図18に示すように、第3の導体層18を形成する。第3の導体層18は、例えば第2の導体層16と同様に形成される。

【0088】そして図19に示すように、半導体基板の上面に第3の導体層18を被覆するように、表面保護膜19を形成する。この表面保護膜19は例えば、約600[nm]程度の膜厚を有する $\text{SiO}_2$ から成り、CVD法によって堆積する。反応ガスは、例えばTEOSと $\text{He}$ と $\text{O}_2$ との混合ガスである。

【0089】以上が、本発明の半導体集積回路装置の製造方法の具体的一実施例である。本実施例においては、第1の導体層14(及びビット線14B)を構成するW膜14bの上面がTiN膜14cで被覆されている。これによって図12に示した第1の導体層14パターニング時、次のような作用効果が得られる。

【0090】発明者等は、BARC膜とTiN反射防止膜との比較を行った。その結果を図20に示す。以下、図20に示した比較データに基づいて本発明の作用効果を説明する。

【0091】第1に、TiNの反射率は3.0%と、タングステンの反射率6.0%に比較して低い。このため、フォトリソスト露光(投影露光)時のハレーションの防止、すなわち、レジストの下地膜(第1の導体層14)の段差(凹凸)があっても、その下地膜表面は反射率の低いTiN膜で構成されているため、乱反射による定在波を低減することができる。そしてさらに、フォーカスマージンの向上に寄与する。つまり、レジスト膜厚バラツキに対するエッチングバラツキの許容範囲が拡大される。よって、図21(a)に示すフォトリソストRの加工精度が向上する。なお、図21中、下地導体膜のTiN膜(14a)は省略されている。

【0092】第2に、フォトリソストに対するTiNのエッチング選択比は約4と、従来のBARC膜のエッチング選択比の約1に比べ高い。また、TiNのエッチング時間は約10秒と、従来のBARC膜加工時間の約1

80秒に比べ短い。よって、図21(b)に示すTiN膜エッチング時に、フォトリソストの寸法シフト及びレジストロスが小さく、TiN膜14cのパターニング精度が向上する。また、加工時間が短いため、スループットが向上する。

【0093】第3に、タングステンに対するTiNのエッチング選択比は約5と、フォトリソスト(BARC膜)のエッチング選択比約2に比べ高い。よって、図21(c)に示すように、タングステン膜14bのエッチングマスクとなるフォトリソストR及びTiN膜14cの削れSが生じないため、第1の導体膜14のパターニング精度が向上する。

【0094】また第4に、特にW膜14bとTiN膜14cとを連続的に加工した場合は、1台の装置で加工が可能のため、スループットの向上、さらに、例えばブラズマエッチングの場合、TiN膜エッチングから、W膜エッチング移行時に、発生させたブラズマを切ることがないため、ブラズマ中に浮遊する異物が半導体基板に降り注ぐことがなく、異物の低減という効果も得られる。

【0095】さらに、本実施例では、第1の導体層14の上面がTiN膜14cで構成されているので、第2の絶縁膜15エッチング時に次のような効果が得られる。この効果を示した模式図を図22に示す。

【0096】第1に、図22に示すように、TiN膜14cに対する絶縁膜のエッチング選択比が高いので、孔底部に露出させる第1の導体層14を過剰に削ることがない。すなわち、TiN膜14cがエッチングストップとして役目を果たす。

【0097】第2に、図22に示すように、孔底部に露出したTiNとエッチングガスが反応してチッ素化合物50を生成し、このチッ素化合物50が側壁に付着して側壁を保護するため、接続孔の孔径d1が過剰に広がらない。

【0098】第3に、接続孔の開口部d1が広がらないため、配線接続孔51と上層配線16との合わせ余裕11が、設計段階1と変わらずにとれる。

【0099】ところで、本実施例のように前記第1の絶縁膜12が平坦化されている場合、メモリセル領域Mと、周辺回路領域Aでは、接続孔のアスペクト比が異なる。このアスペクト比の異なる接続孔を同時エッチングにより形成する場合、アスペクト比の高い孔の開口を確保しつつ、アスペクト比の低い孔の過剰開口を抑制することが課題となっていた。本実施例では、接続する導体層の上部がTiNで構成されているため、上記のような理由で、この課題を解決することが出来る。すなわち、接続孔の側壁を保護し、その接続孔の過剰エッチングを抑制することが出来る。この効果を示した模式図を図23(a)に示す。すなわち、接続孔の側壁を保護し、その接続孔の過剰エッチングを抑制することができる。したがって、本実施例では、アスペクト比の異なる接続孔

を同時エッチング処理によって形成することができ、製造工程の増加を防ぐことができる。

【0100】なお、上述の作用効果は、アルミニウム(A1)の如きTiN, W, Moよりも低抵抗率を有する金属膜から成る第2の導体層及び第3の導体層においても同様に達成し得るものである。

【0101】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明する。

【0102】1) 高融点金属等から成る導体膜、及び接続孔パターニング時の、フォトリソグラフィ精度を向上することができる。

【0103】2) 高融点金属等から成る導体膜の加工精度を上げることができる。

【0104】3) アスペクト比の異なる接続孔形成時において、アスペクト比の高い孔の開口性の確保しつつ、アスペクト比の低い孔の地下膜削れ、及び側壁削れを抑制することができる。すなわち、アスペクト比の高い孔の孔底部において、下層部材を露出させる程度にエッチングを加えても、アスペクト比の低い孔の孔底部の過剰エッチング、及び側壁削れを防止できる。

【0105】4) 高融点金属から成る導体膜、及び接続孔の寸法加工精度を向上し、接続孔と上層導体膜との合わせ余裕を向上することができる。

【0106】5) アスペクト比の異なる接続膜の絶縁膜を同時エッチングによって形成でき、製造工程の大幅な増加を防ぐことができる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置の要部断面図である。

【図2】図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図3】図2に続く図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図4】図3に続く図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図5】図4に続く図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図6】図5に続く図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図7】図6に続く図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図8】図7に続く図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図9】図8に続く図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図10】図9に続く図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図11】図10に続く図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図12】図11に続く図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図13】図12に続く図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図14】図13に続く図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図15】図14に続く図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図16】図15に続く図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図17】図16に続く図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図18】図17に続く図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図19】図18に続く図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図20】従来使用されたBRAC膜と本発明のTiN反射防止膜の比較を示す比較図である。

【図21】(a)～(c)は本発明を適用した場合の、導体層のエッチングのメカニズムを示す断面図である。

【図22】本発明を適用した場合の、接続孔と上層配線との合わせ余裕に関する模式図及びその断面図。

【図23】本発明を適用した場合の、アスペクト比の異なる接続孔が層間絶縁膜に形成された半導体集積回路装置の要部断面図。

【図24】(a)～(c)は従来方法における導体層のエッチングのメカニズムを示す断面図である。

【図25】従来の技術を適用した場合の、アスペクト比の異なる接続孔が層間絶縁膜に形成された半導体集積回路装置の要部断面図。

【図26】設計段階における接続孔と上層配線との合わせ余裕に関する模式図。

【図27】従来の技術を適用した場合の、接続孔と上層配線との合わせ余裕に関する模式図及びその断面図。

【符号の説明】

M...メモリセル領域

A...周辺回路領域

1...半導体基板

2p...pウェル

2n...nウェル

3...フィールド絶縁膜

4p...p形チャネルストッパ層

4n...n形チャネルストッパ層

5p...p形半導体領域

5n...n形半導体領域

6...メモリセル領域に形成されたnMOS

6a1, 6a2...n形低濃度半導体領域

6A1, 6A2...n形高濃度半導体領域

6b...ゲート電極

6c...ゲート絶縁膜

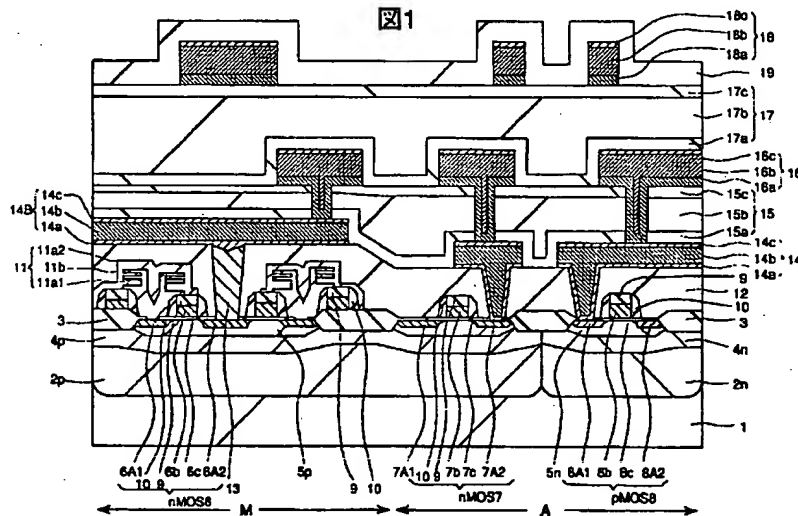
21

- 7... 周辺回路領域に形成されたnMOS
- 7a1、7a2... n形低濃度半導体領域
- 7A1、7A2... n形高濃度半導体領域
- 7b... ゲート電極
- 7c... ゲート絶縁膜
- 8... 周辺回路領域に形成されたpMOS
- 8a1、8a2... p形低濃度半導体領域
- 8A1、8A2... p形高濃度半導体領域
- 8b... ゲート電極
- 8c... ゲート絶縁膜
- 9... 絶縁膜
- 10... サイドウォール
- 11... キャパシタ
- 11a1、11a2... キャパシタ用電極
- 11b... キャパシタ用絶縁膜
- 12... 第1の絶縁膜
- 12a、12b... 第1の絶縁膜の接続孔
- 13... 導体膜
- 14... 第1の導体層
- 14a~14c... 金属膜
- 15 第2の絶縁膜
- 15a~15c... 絶縁膜
- 15d、15d1、15d2... 第2の絶縁膜の接続孔\*

22

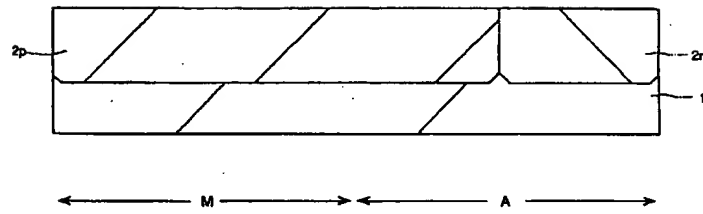
- \*16... 第2の導体層
- 16a~16c... 金属膜
- 17... 第3の絶縁膜
- 17a~17c... 絶縁膜
- 18 第2の導体層
- 18a~18c... 金属膜
- 19... 表面保護膜
- 50... 窒素化合物
- 51... 接続孔
- 10 52a、52b... 従来のWで構成された第1の導体層
- 52c... 第1の導体層の過剰エッチング部
- R... フォトリソグ（マスク）
- E... 従来のWで構成された第1の導体層の肩部削れ
- S... 本発明の上層がTiNで構成された第1の導体層の肩部削れ
- d... 設計段階の接続孔開口径
- d1... 本発明を適用した場合の接続孔開口径
- d2... 従来の技術を適用した場合の接続孔開口径
- 1... 設計段階の接続孔と上層配線との合わせ余裕
- 20 11... 本発明を適用した場合の接続孔と上層配線との合わせ余裕
- 12... 従来の技術を適用した場合の接続孔と上層配線との合わせ余裕

【図1】



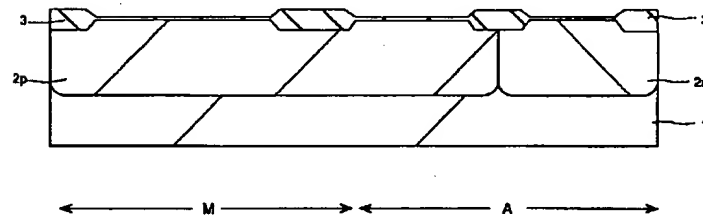
【図2】

図2



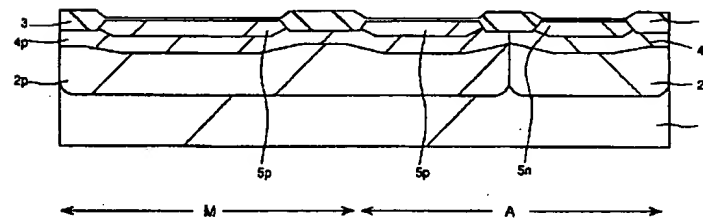
【図3】

図3



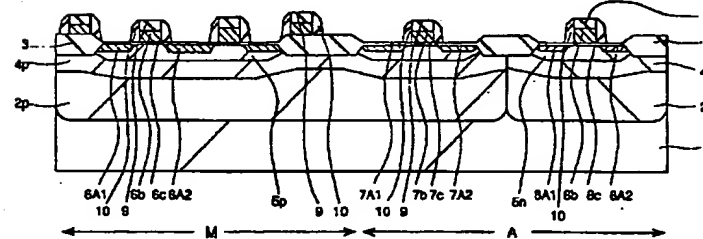
【図4】

図4



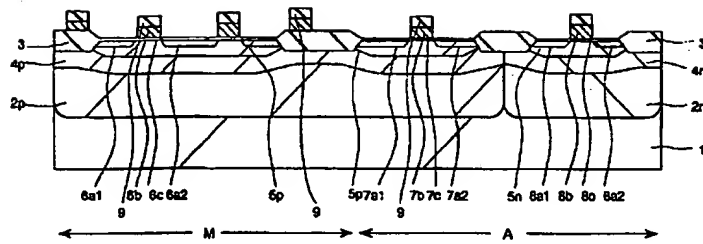
【図6】

図6



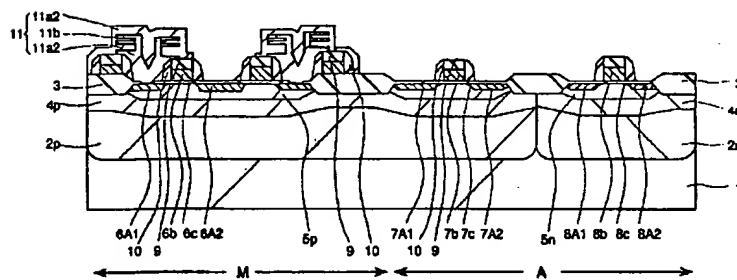
【図5】

图5



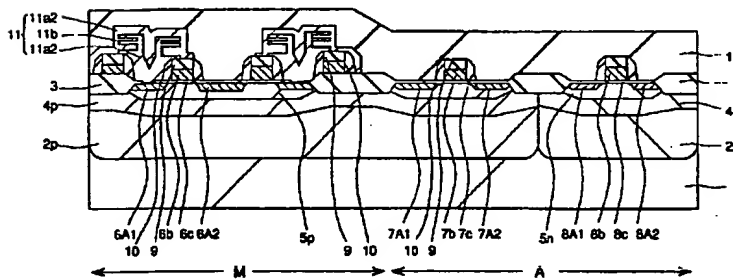
【图7】

图7



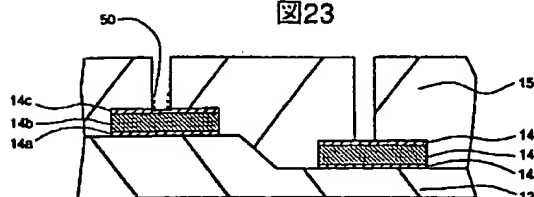
【図 8】

图8



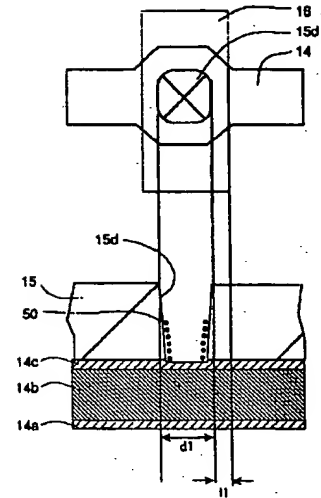
【圖 23】

图23



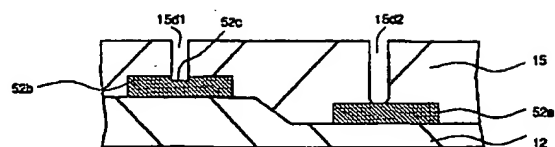
【圖 22】

图22



【图 25】

图25



【図26】

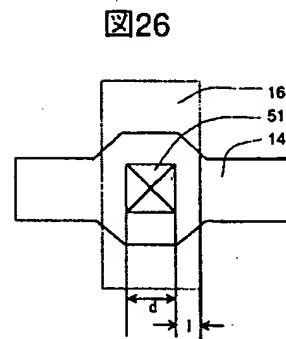


图10

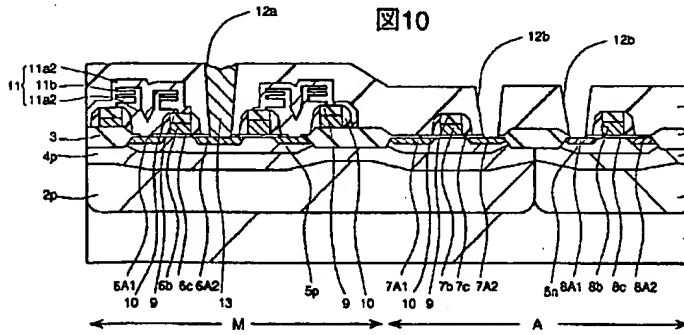


图11

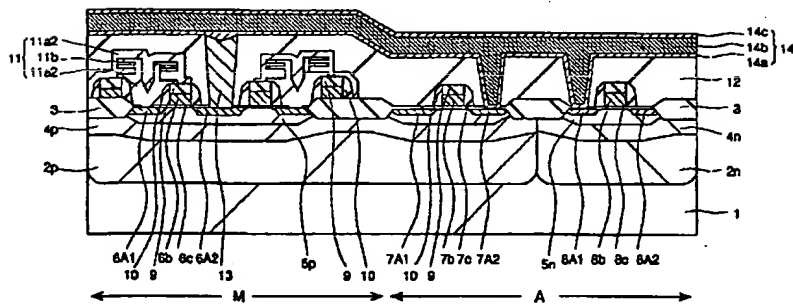
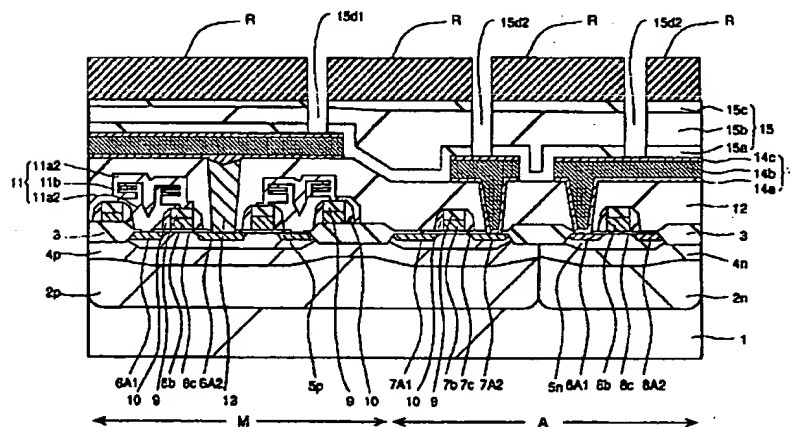


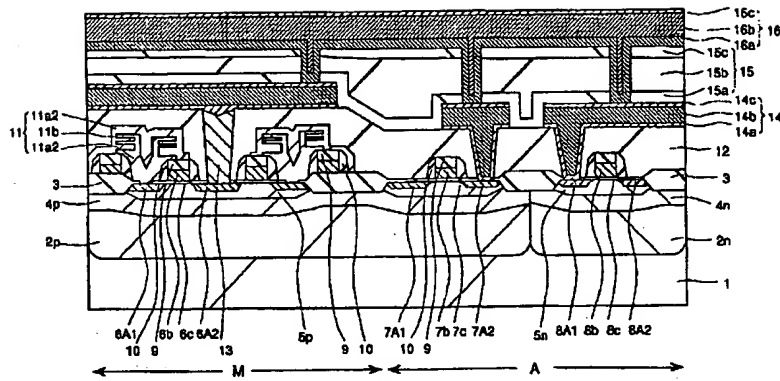


图12



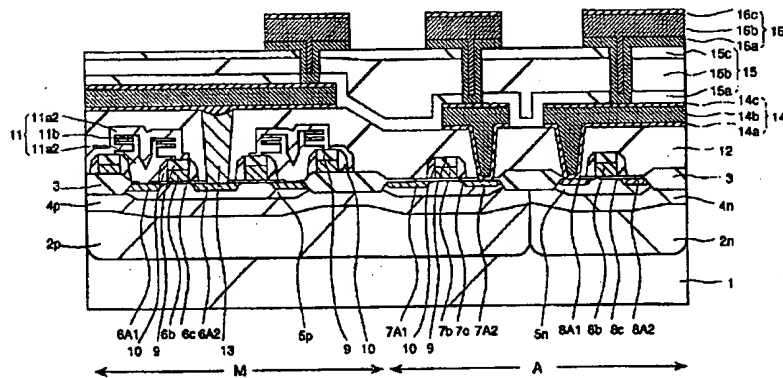
【図15】

図15



【図16】

図16



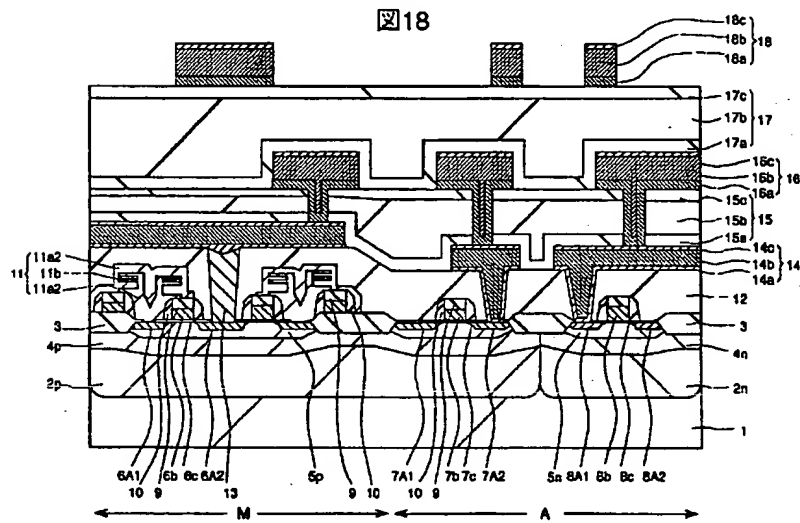
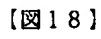
【図20】

図20

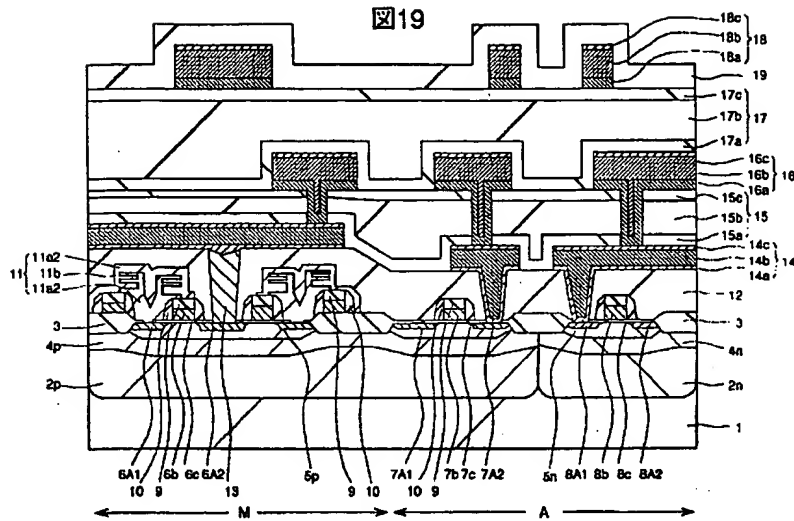
BARC膜法とTiN反射防止膜法の比較

項目	BARC法	TiN反射防止膜法
フォーカシング	$\pm 0.4 \mu\text{m}$	$\pm 0.6 \mu\text{m}$
反射防止膜加工時間	約180秒	約10秒
W肩部附れ	あり	なし
寸法シフト量	$-0.15 \mu\text{m}$	$-0.03 \mu\text{m}$

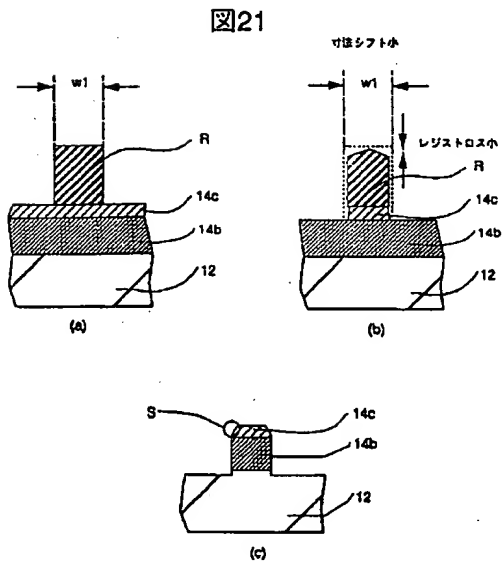
图 17



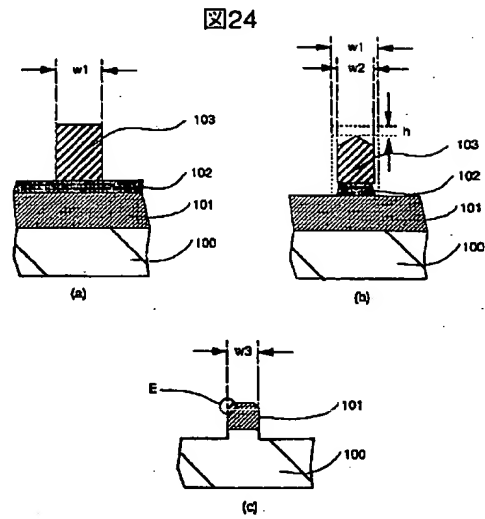
【図19】



【図21】

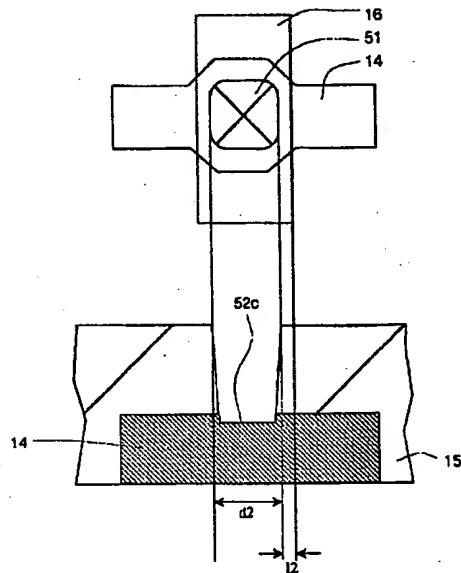


【図24】



【図27】

図27



フロントページの続き

(72)発明者 鳥居 善三  
東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72)発明者 大平 義和  
東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72)発明者 松井 剛  
茨城県稲敷郡美浦村木原2350 日本テキサ  
ス・インスツルメンツ株式会社内

(72)発明者 早川 崇  
茨城県稲敷郡美浦村木原2350 日本テキサ  
ス・インスツルメンツ株式会社内

(72)発明者 大塚 実  
茨城県稲敷郡美浦村木原2350 日本テキサ  
ス・インスツルメンツ株式会社内

(72)発明者 西村 美智夫  
茨城県稲敷郡美浦村木原2350 日本テキサ  
ス・インスツルメンツ株式会社内

(72)発明者 田中 道夫  
茨城県稲敷郡美浦村木原2350 日本テキサ  
ス・インスツルメンツ株式会社内

## Bibliographic Fields

## Document Identity

(19)【発行国】

日本国特許庁(JP)

(12)【公報種別】

公開特許公報(A)

(11)【公開番号】

特開平9-82800

(43)【公開日】

平成9年(1997)3月28日

## Public Availability

(43)【公開日】

平成9年(1997)3月28日

## Technical

(54)【発明の名称】

半導体集積回路装置及びその製造方法

(51)【国際特許分類第6版】

H01L 21/768

21/28 301

【FI】

H01L 21/90 B

21/28 301 R

【請求項の数】

16

【出願形態】

OL

【全頁数】

20

## Filing

【審査請求】

未請求

(21)【出願番号】

特願平7-235003

(22)【出願日】

(19) [Publication Office]

Japan Patent Office (JP)

(12) [Kind of Document]

Unexamined Patent Publication (A)

(11) [Publication Number of Unexamined Application]

Japan Unexamined Patent Publication Hei 9- 82800

(43) [Publication Date of Unexamined Application]

1997 (1997) March 28\*

(43) [Publication Date of Unexamined Application]

1997 (1997) March 28\*

(54) [Title of Invention]

SEMICONDUCTOR INTEGRATED CIRCUITRY  
DEVICE AND ITS MANUFACTURING METHOD

(51) [International Patent Classification, 6th Edition]

H01L 21/768

21/28 301

【FI】

H01L 21/90 B

21/28 301 R

【Number of Claims】

16

【Form of Application】

OL

【Number of Pages in Document】

20

【Request for Examination】

Unrequested

(21) [Application Number]

Japan Patent Application Hei 7- 235003

(22) [Application Date]

JP1997082800A

1997-3-28

平成7年(1995)9月13日

1995 (1995) September 13\*

**Parties**

**Applicants**

(71)【出願人】

【識別番号】

000005108

【氏名又は名称】

株式会社日立製作所

【住所又は居所】

東京都千代田区神田駿河台四丁目6番地

(71)【出願人】

【識別番号】

390020248

【氏名又は名称】

日本テキサス・インスツルメンツ株式会社

【住所又は居所】

東京都港区北青山3丁目6番12号 青山富士ビル

**Inventors**

(72)【発明者】

【氏名】

原 和里

【住所又は居所】

東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

(72)【発明者】

【氏名】

鳥居 善三

【住所又は居所】

東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

(72)【発明者】

【氏名】

大平 義和

【住所又は居所】

東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

(71) [Applicant]

[Identification Number]

000005108

[Name]

HITACHI LTD. (DB 69-054-1503)

[Address]

Tokyo Chiyoda-ku Kanda Surugadai 4-Chome 6

(71) [Applicant]

[Identification Number]

390020248

[Name]

JAPAN TEXAS \* INSTRUMENT KK

[Address]

Tokyo Minato-ku Kita Aoyama 3-Chome 6-12 Aoyama  
\*\*building

(72) [Inventor]

[Name]

\* \* \*

[Address]

Tokyo Ome City Imai 2326address Hitachi Ltd. (DB  
69-054-1503) device development center \*

(72) [Inventor]

[Name]

Torii Zenzo

[Address]

Tokyo Ome City Imai 2326address Hitachi Ltd. (DB  
69-054-1503) device development center \*

(72) [Inventor]

[Name]

Ohira Yoshikazu

[Address]

Tokyo Ome City Imai 2326address Hitachi Ltd. (DB  
69-054-1503) device development center \*



JP1997082800A

1997-3-28

製作所デバイス開発センタ内

69-054-1503) device development center \*

(72)【発明者】

(72) [Inventor]

【氏名】

[Name]

松井 剛

Matsui \*

【住所又は居所】

[Address]

茨城県稲敷郡美浦村木原2350 日本テキサス・インスツルメンツ株式会社内

Ibaraki Prefecture Inashiki-gun Mihomura Kihara 2350 Japan  
Texas \* instrument KK \*

(72)【発明者】

(72) [Inventor]

【氏名】

[Name]

早川 崇

Hayakawa bulk

【住所又は居所】

[Address]

茨城県稲敷郡美浦村木原2350 日本テキサス・インスツルメンツ株式会社内

Ibaraki Prefecture Inashiki-gun Mihomura Kihara 2350 Japan  
Texas \* instrument KK \*

(72)【発明者】

(72) [Inventor]

【氏名】

[Name]

大塚 実

Otsuka \*

【住所又は居所】

[Address]

茨城県稲敷郡美浦村木原2350 日本テキサス・インスツルメンツ株式会社内

Ibaraki Prefecture Inashiki-gun Mihomura Kihara 2350 Japan  
Texas \* instrument KK \*

(72)【発明者】

(72) [Inventor]

【氏名】

[Name]

西村 美智夫

Nishimura \*Toshio

【住所又は居所】

[Address]

茨城県稲敷郡美浦村木原2350 日本テキサス・インスツルメンツ株式会社内

Ibaraki Prefecture Inashiki-gun Mihomura Kihara 2350 Japan  
Texas \* instrument KK \*

(72)【発明者】

(72) [Inventor]

【氏名】

[Name]

田中 道夫

Tanaka Michio

【住所又は居所】

[Address]

茨城県稲敷郡美浦村木原2350 日本テキサス・インスツルメンツ株式会社内

Ibaraki Prefecture Inashiki-gun Mihomura Kihara 2350 Japan  
Texas \* instrument KK \*

Agents

(74)【代理人】

(74) [Attorney(s) Representing All Applicants]

【弁理士】

[Patent Attorney]

【氏名又は名称】

[Name]

小川 勝男

Ogawa Katsuo

**Abstract**

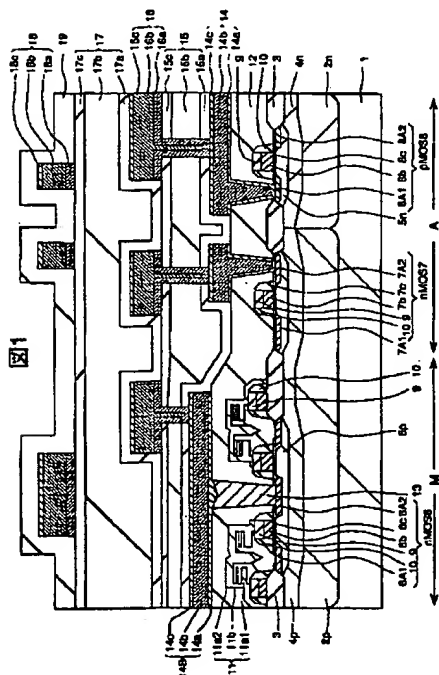
(57)【要約】

**【目的】**

高融点金属で構成される導体膜を有する半導体集積回路装置において、導体膜、接続孔の加工時のフォトリソグラフィ、及びエッチング精度を向上する。

**【構成】**

高融点金属膜の上面が、低反射率の導体膜で構成されている第1の導体層と、前記第1の導体層上に接続孔が形成された絶縁膜と、前記接続孔に位置した前記第1の導体層部分と接続する第2の導体層とを有することを特徴とする半導体集積回路装置及びその製造方法。

**Claims****【特許請求の範囲】****【請求項 1】**

高融点金属膜の上面が、その高融点金属膜より低反射率を有する導体膜で構成されている第

(57) [Abstract]

**[Objective]**

photolithography, and etching precision when processing conductor film, coupling hole it improves in the semiconductor integrated circuitry device which possesses conductor film which configuration is done with the high melting point metal.

**[Constitution]**

top of high melting point metal film to be, with conductor film of low reflection ratio is inposition of insulating film and aforementioned coupling hole where coupling hole wasformed on first conductor layer and aforementioned first conductor layer which configuration aredone semiconductor integrated circuitry device and its manufacturing method. which designate that it possesses the second conductor layer which is connected with aforementioned first conductor layer portion as feature

**[Claim(s)]****[Claim 1]**

top of high melting point metal film to be, from high melting point metal film with conductor film whichpossesses low

1の導体層と、前記第1の導体層上に接続孔が形成された絶縁膜と、前記接続孔に位置した前記第1の導体層部分と接続する第2の導体層とを有することを特徴とする半導体集積回路装置。

【請求項2】

キャパシタと MISFET とから成る複数のメモリセルで構成されるメモリセル領域と、複数の MISFET で構成される周辺回路領域とを有するダイナミック型半導体記憶装置において、前記メモリセル領域及び周辺回路領域を被覆する第1の絶縁膜と、前記メモリセル領域上の第1の絶縁膜及び前記周辺回路領域上の第1の絶縁膜の上に形成された、高融点金属膜及びその高融点金属膜の上面がその高融点金属膜よりも低反射率を有する導体膜で構成された複数の第1の導体層と、前記メモリセル領域及び前記周辺回路領域におけるそれぞれの前記第1の導体層上に接続孔が形成された第2の絶縁膜と、前記それぞれの接続孔に位置した前記第1の導体層部分とそれぞれ接続する第2の導体層とを有することを特徴とする半導体集積回路装置。

【請求項3】

請求項1または請求項2に記載の半導体集積回路装置において、前記高融点金属膜は、タンゲステン膜であることを特徴とする半導体集積回路装置。

【請求項4】

請求項1または請求項2に記載の半導体集積回路装置において、前記低反射率の導体膜は、チタニウム膜であることを特徴とする半導体集積回路装置。

【請求項5】

請求項1または請求項2に記載の半導体集積回路装置において、前記高融点金属膜はタンゲステン膜であって、前記低反射率の導体膜はチタニウム膜であることを特徴とする半導体集積回路装置。

reflection ratio is in position of insulating film and theaforementioned coupling hole where coupling hole was formed on first conductor layer and theaforementioned first conductor layer which configuration are done semiconductor integrated circuitry device . which designates that it possesses second conductor layer which is connected with theaforementioned first conductor layer portion as feature

[Claim 2]

It was formed to first insulating film on aforementioned memory cell region and first insulating film and aforementioned memory cell region which sheath do peripheral circuit region and on the first insulating film on aforementioned peripheral circuit region with memory cell of plural which consists of capacitor and MISFET in dynamic type semiconductor storage device which possesses peripheral circuit region which configuration is done with MISFET of the memory cell region and plural which configuration are done, top of high melting point metal film and its high melting point metal film with conductor film which possesses low reflection ratio in comparison with high melting point metal film first conductor layer of plural which configuration is done and second insulating film where coupling hole was formed to theaforementioned memory cell region and on respective aforementioned first conductor layer in theaforementioned peripheral circuit region and, It is to be in position of aforementioned respective coupling hole the semiconductor integrated circuitry device . which designates that it possesses second conductor layer which is connected with aforementioned first conductor layer portion respectively as feature

[Claim 3]

In semiconductor integrated circuitry device which is stated in Claim 1 or Claim 2 , as for aforementioned high melting point metal film , semiconductor integrated circuitry device . which designates that it is a tungsten film as feature

[Claim 4]

In semiconductor integrated circuitry device which is stated in Claim 1 or Claim 2 , as for conductor film of aforementioned low reflection ratio, semiconductor integrated circuitry device . which designates that it is a [chitsu ] conversion titanium film as feature

[Claim 5]

In semiconductor integrated circuitry device which is stated in Claim 1 or Claim 2 , as for aforementioned high melting point metal film with tungsten film , as for conductor film of aforementioned low reflection ratio semiconductor integrated circuitry device . which designates that it is a [chitsu ] conversion titanium film as feature

## 【請求項 6】

請求項 4 または請求項 5 に記載の半導体集積回路装置において、前記メモリセル領域における接続孔と前記周辺回路領域における接続孔とはアスペクト比が異なることを特徴とする半導体集積回路装置。

## 【請求項 7】

半導体基体上に、高融点金属膜とその高融点金属膜よりも低反射率を有する導体膜とから成る積層膜を形成する工程と、フォトリソグラフィを用いて、前記積層膜から成る第 1 の導体層をパターン形成する工程と、前記第 1 の導体層上部に絶縁膜を形成する工程と、第 1 の導体層上部において、前記絶縁膜にフォトリソグラフィを用いて接続孔を形成する工程と、前記接続孔に第 2 の導体層を形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

## 【請求項 8】

キャパシタと MISFET とから成る複数のメモリセルで構成されるメモリセル領域と、複数の MISFET で構成される周辺回路領域とを有するダイナミック型半導体記憶装置の製造方法において、半導体基体に前記メモリセル領域内にメモリセル及び周辺回路領域内に MISFET を形成する工程、前記メモリセル領域内のメモリセル及び周辺回路領域内の MISFET を被覆するように半導体基体主面上に第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜上に高融点金属膜と、その高融点金属膜よりも低反射率を有する導体膜とから成る積層膜を形成する工程と、フォトリソグラフィを用いて、前記積層膜から成るメモリセル用第 1 の導体層及び周辺回路用第 1 の導体層を形成する工程と、前記それぞれの第 1 の導体層上部に絶縁膜を形成する工程と、それぞれの第 1 の導体層上部において、前記絶縁膜にフォトリソグラフィを用いて第 1、第 2 の接続孔を形成する工程と、前記第 1、第 2 の接続孔にそれぞれ第 2 の導体層を形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

## [Claim 6]

coupling hole in aforementioned memory cell region in semiconductor integrated circuitry device which is stated in Claim 4 or Claim 5, and coupling hole in aforementioned peripheral circuit region semiconductor integrated circuitry device, which designates that aspect ratio differs as feature

## [Claim 7]

On semiconductor substrate, in step, first conductor layer upper part which forms insulating film in step, aforementioned first conductor layer upper part which pattern formation does first conductor layer which consists of aforementioned laminated film making use of step, photolithography which forms laminated film which consists of conductor film which possesses low reflection ratio in comparison with high melting point metal film and high melting point metal film, In aforementioned insulating film manufacturing method, of semiconductor integrated circuitry device which designates that it possesses step which forms second conductor layer in step, aforementioned coupling hole which forms coupling hole making use of photolithography as feature

## [Claim 8]

With memory cell of plural which consists of capacitor and MISFET in manufacturing method of dynamic type semiconductor storage device which possesses peripheral circuit region which configuration is done with MISFET of memory cell region and plural which the configuration are done, In order in semiconductor substrate memory cell and and sheath to do MISFET inside memory cell and peripheral circuit region inside step, aforementioned memory cell region which forms MISFET inside peripheral circuit region inside aforementioned memory cell region, on step, aforementioned first insulating film which forms first insulating film on the semiconductor substrate main surface high melting point metal film and, In step, respective first conductor layer upper part which forms insulating film in first conductor layer for memory cell which consists of aforementioned laminated film making use of the step, photolithography which forms laminated film which consists of conductor film which possesses low reflection ratio in comparison with high melting point metal film, and step, aforementioned respective first conductor layer upper part which forms first conductor layer for peripheral circuit, In aforementioned insulating film manufacturing method, of semiconductor integrated circuitry device which designates that it possesses step which respectively forms second conductor layer in the step, aforementioned 1 st, second coupling hole which forms 1 st, second coupling hole making use of the photolithography as feature

## 【請求項 9】

請求項 7 または請求項 8 に記載の半導体集積回路装置の製造方法において、前記高融点金属膜は、タングステン膜であることを特徴とする半導体集積回路装置の製造方法。

## 【請求項 10】

請求項 7 または請求項 8 に記載の半導体集積回路装置の製造方法において、前記低反射率の導体膜は、チツ化チタン膜であることを特徴とする半導体集積回路装置の製造方法。

## 【請求項 11】

請求項 7 または請求項 8 に記載の半導体集積回路装置の製造方法において、前記高融点金属膜は、タングステン膜であって、前記低反射率の導体膜は、チツ化チタン膜であることを特徴とする半導体集積回路装置の製造方法

## 【請求項 12】

請求項 10 または請求項 11 に記載の半導体集積回路装置の製造方法において、前記接続孔はアスペクト比が異なることを特徴とする半導体集積回路装置の製造方法。

## 【請求項 13】

請求項 10 または請求項 11 に記載の半導体集積回路装置の製造方法において、前記タングステン膜と、チツ化チタン膜とから成る積層膜を連続的にパターンニングすることにより、第 1 の導体層を形成することを特徴とする半導体集積回路装置の製造方法。

## 【請求項 14】

請求項 10 または請求項 11 に記載の半導体集積回路装置の製造方法において、第 1 の導体層上の絶縁膜は平坦に形成することを特徴とする半導体集積回路装置の製造方法。

## 【請求項 15】

低抵抗率を有する金属膜の上面が、その金属膜より高抵抗率でかつ低反射率を有する導体膜で構成されている第 1 の導体層と、前記第 1 の導体層上に接続孔が形成された絶縁膜と、

## [Claim 9]

In manufacturing method of semiconductor integrated circuitry device which is stated in Claim 7 or Claim 8 , as for theaforementioned high melting point metal film , manufacturing method . of semiconductor integrated circuitry device which designates that it is a tungsten film as feature

## [Claim 10]

In manufacturing method of semiconductor integrated circuitry device which is stated in Claim 7 or Claim 8 , as for the conductor film of aforementioned low reflection ratio, manufacturing method . of semiconductor integrated circuitry device which designates that it is a [chitsu ] conversion titanium film as feature

## [Claim 11]

In manufacturing method of semiconductor integrated circuitry device which is stated in Claim 7 or Claim 8 , as for theaforementioned high melting point metal film , with tungsten film , as for conductor film ofaforementioned low reflection ratio, manufacturing method of semiconductor integrated circuitry device which designates that it is a [chitsu ] conversion titanium film as feature

## [Claim 12]

In manufacturing method of semiconductor integrated circuitry device which is stated in Claim 10 or Claim 11 , as for theaforementioned coupling hole manufacturing method . of semiconductor integrated circuitry device which designates that the aspect ratio differs as feature

## [Claim 13]

manufacturing method . of semiconductor integrated circuitry device which designates that first conductor layer is formed the laminated film which consists of [chitsu ] conversion titanium film by patterning making continuous in manufacturing method of semiconductor integrated circuitry device which is stated in Claim 10 or Claim 11 , theaforementioned tungsten film and, as feature

## [Claim 14]

In manufacturing method of semiconductor integrated circuitry device which is stated in Claim 10 or Claim 11 , as for the insulating film on first conductor layer manufacturing method . of semiconductor integrated circuitry device which designates that it forms in flat as feature

## [Claim 15]

top of metal film which possesses low-resistivity to be, from metal film at high resistance ratio and with conductor film which possesses low reflection ratio is inposition of insulating film and aforementioned coupling hole where coupling hole

前記接続孔に位置した前記第 1 の導体層部分と接続する第 2 の導体層とを有することを特徴とする半導体集積回路装置。

【請求項 16】

請求項 15 に記載の半導体集積回路装置において、前記金属膜はアルミニウム膜であって、前記低反射率の導体膜は、チタニウム膜であることを特徴とする半導体集積回路装置。

Specification

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、半導体集積回路装置、特にその製造方法におけるフォトリソグラフィ技術、及びエッチング技術に適用して有効なものである。

すなわち本発明は、半導体製造プロセスであるリソグラフィ技術、ドライエッチング技術に関するもので、特に高融点金属より成る配線を高精度、かつ高選択に加工するプロセスであり、半導体製造分野における W 配線加工工程およびその後の配線接続加工工程に有効である。

【0002】

【従来の技術】

一般に、半導体集積回路装置を製造するためのフォトリソグラフィ及びエッチング技術は、パターンニングされたフォトレジストをマスクに用いて、被エッチング材料が選択エッチングされる。

しかし、例えば、凹凸を有する下地基板の上に形成された金属膜をフォトレジストをマスクとして選択エッチングする場合、フォトレジストのパターン露光の際に、その下地金属膜の光の反射率が高いと、ハレーションによりフォトレジストの露光精度が低下する。

【0003】

この光の反射によるハレーションを防止し、露光精度すなわち金属膜のパターンニング精度の向上を図るための手段として、以下のような方法が知られている。

【0004】

was formed on first conductor layer and aforementioned first conductor layer which configuration are done semiconductor integrated circuitry device . which designates that it possesses second conductor layer which is connected with aforementioned first conductor layer portion as feature

[Claim 16]

In semiconductor integrated circuitry device which is stated in Claim 15 , as for aforementioned metal film with aluminum film , as for conductor film of aforementioned low reflection ratio, semiconductor integrated circuitry device . which designates that it is a [chitsu ] conversion titanium film as feature

[Description of the Invention]

[0001]

[Field of Industrial Application]

this invention, applying to [fotorisogurafui ] technology , and etching technology in semiconductor integrated circuitry device , especially manufacturing method , they are effective ones.

Namely as for this invention, being something regarding lithography technology , dry etching technology which is a semiconductor manufacturing process , wiring which consists of especially high melting point metal with the process which is processed in high precision , and high selectivity , W metallization step in the semiconductor manufacturing field and after that it is effective to wiring connected process .

[0002]

[Prior Art]

Generally, as for photolithography and etching technology in order to produce the semiconductor integrated circuitry device , using photoresist which patterning is done for mask , the material being etched is done selective etching .

But, when metal film which was formed on substrate which possesses the for example relief when selective etching is done with photoresist as mask , case of pattern exposure of photoresist , reflectivity of light of substrate metal film is high, the exposure precision of photoresist decreases with halation .

[0003]

halation is prevented with reflection of this light, like below the method is known as means in order to assure improvement of the patterning precision of exposure precision namely metal film .

[0004]

(1)パターニングすべき金属膜の上に吸光剤入りフォトレジストである BARC(Bottom Anti-Reflection Coating)膜を反射防止膜として堆積し、その膜上に感光用フォトレジストを堆積する。

そして、それら堆積膜よりなるフォトレジストをパターン露光する。

このようなパターニング手法を BARC 法と称している。

【0005】

(2)下地金属膜に堆積する反射防止膜として窒素化合物を用いた方法が特公平 6-1764 号公報あるいは特開平 160081 号公報に開示されている。

これら各公報に開示されているパターン露光方法は、反射率の高いアルミニウム等の配線を形成するための反射防止膜として窒素化合物を使用するものである。

【0006】

すなわち、窒素化合物を被加工膜上に反射防止膜として堆積し、この反射防止膜上に感光用フォトレジストを堆積する。

そして、そのフォトレジストをパターン露光するものである。

【0007】

【発明が解決しようとする課題】

16M ビット DRAM に用いられる配線材料は、アルミニウム系の配線材から、低抵抗で、かつそのアルミニウムに比べ、エレクトロマイグレーション耐性や耐腐食性ははるかに良い W あるいは Mo などの高融点金属が使用されるようになった。

特に、この高融点金属は、ゲート電極としてではなく、2 層配線あるいは 3 層配線として使われるようになった。

【0008】

高融点金属であるタンゲステン等の配線材料を用いた場合、その配線材料はアルミニウムよりも比較的反射率が低いために、ハレーションによるフォトレジスト露光精度への影響は問題とされていなかった。

【0009】

しかし、次世代ビット、例えば 64M ビット DRAM を実現していくためには、半導体プロセスの微細化がさらに必要となり、従来問題とされていない

It accumulates BARC (Bottom Anti-Reflection coating ) film which is a light absorber-containing photoresist on metal film which(1) patterning it should do accumulates photoresist for exposure to light on film as antireflective film .

And, photoresist which consists of those built up film is done pattern exposure .

patterning technique a this way is named BARC method.

【0005】

method which uses nitrogen compound as antireflective film which is accumulated in(2) substrate metal film is disclosed in Japan Examined Patent Publication Hei 6-1764disclosure or Japan Unexamined Patent Publication Hei 160081disclosure .

pattern exposure method which is disclosed in these each disclosure uses nitrogen compound is as antireflective film in order to form aluminum or other wiring where reflectivity is high.

【0006】

It accumulates namely, nitrogen compound on film being fabricated accumulates photoresist resist forexposure to light on this antireflective film as antireflective film .

And, it is something which photoresist pattern exposure is done.

【0007】

【Problems to be Solved by the Invention】

metallization material which is used for 16 MB DRAMs , from wiring material of the aluminum , with low resistance , reached point where W or Mo or other high melting point metal where electromigration resistance and corrosion resistance are much good at same time in comparison with aluminum , is used.

Especially, this high melting point metal was not point where it is used as 2 layers metallization or 3 layers wiring as gate electrode , reached.

【0008】

When tungsten or other metallization material which is a high melting point metal is used, as for metallization material because the reflectivity is low relatively in comparison with aluminum , influence to the photoresist exposure precision was not made problem with halation .

【0009】

But, in order to actualize next generation bit , for example 64MB DRAMs , narrowing of semiconductor process furthermore became necessary, either reflectivity of tungsten



かったタングステン膜の反射率をも考慮しなければならぬことが発明者等によって認識された。

【0010】

したがって、W, Mo などの高融点金属を用いた配線のパターニングを行う場合においても、上述した例えば BARC 法の採用が試みられた。

【0011】

ところが、この BARC 法において、以下のような新たな問題点があることを発明者等は見出した。

【0012】

BARC 法は反射防止膜をドライエッチングした後、ホトレジスト/反射防止膜をマスクにタングステン配線を加工するプロセスであるが、反射防止膜加工時のホトレジスト/反射防止膜削れ量が多い。

【0013】

また、反射防止膜加工時の横方向へのエッチング量が多いなどの理由により、タングステン削れの発生、寸法シフト量が多いなどの問題があった。

【0014】

さらに、反射防止膜のエッチング加工において、例えばその膜厚が 1000 Å の場合でも、約 180 秒を要しておりスループットが低いといった問題があった。

【0015】

これら問題点をさらに詳しく述べる。

【0016】

BARC 法を用いた W 配線加工プロセスを図 24(a)~図 24(c)に示す。

【0017】

まず、図 24(a)に示すように配線用タングステン金属膜 101 は、例えば層間絶縁膜 100 上に堆積される。

この金属膜 101 上に BARC 膜(反射防止膜)102 及び感光用レジスト(フォトレジスト)103 が堆積される。

そして、フォトレジスト 103 および BARC 膜 102 がパターン露光された後、ドライエッチングによ

film which is not made problem until recently must be considered, it was recognized with inventor etc that.

【0010】

Therefore, when patterning of wiring which uses W, Mo or other high melting point metal is done putting, you could try adoption of for example BARC method which the description above it does.

【0011】

However, like below being new problem discovered inventor etc in this BARC method.

【0012】

BARC method after dry etching doing antireflective film, photoresist /antireflective film is process which processes tungsten wiring in mask, but photoresist /antireflective film amount of wear at time of antireflective film processing is large.

【0013】

In addition, tungsten shave there was a or other problem whose occurrence and dimension amount of shift are large depending upon or other reason where amount of etching to horizontal direction at time of antireflective film processing is large.

【0014】

Furthermore, we require approximately 180 second even with when the film thickness of for example is 1000 Å in etching of antireflective film, and there was a problem that throughput is low.

【0015】

These problem are expressed furthermore in detail.

【0016】

W metallization process which uses BARC method Figure 24 (a) - is shown in Figure 24 (c).

【0017】

First, as shown in Figure 24 (a), tungsten metal film 101 for wiring guess product makes on for example interlayer insulating film 100.

BARC film (antireflective film) 102 and resist for exposure to light (photoresist) 103 guess product is done on this metal film 101.

photoresist 103 etching is done and, photoresist 103 and BARC film 102 pattern exposure after being done, by dry

リフォトレジスト 103 がエッチされる。

引き続いて、図 24(b)に示すように、BARC 膜 102 がエッチされる。

この時、理想的には点線で示されたようにエッチング加工が成されればよいが、フォトレジスト 103 に対する BARC 膜 102 のエッチング選択比は、約 1 である。

すなわち、両膜はほぼ同じエッチング速度を有する。

よって、BARC 膜 102 のエッチング時にフォトレジスト 103 上部のエッチングが進みレジストロス h が生じる。

同時に、フォトレジストと BARC 膜の側壁の削れ、すなわち寸法  $W_1$  から寸法  $W_2$  への寸法シフトが生じる。

つまり、エッチングマスクの形状不良が生じる。

特に、上記レジストロスを防止するため、BARC 膜 102 上のフォトレジスト 103 を厚く塗布すると、フォトレジストのフォーカスマージンが低くなり、フォトレジストのパターニング不良が発生した。

また、このフォトレジスト 103 及び BARC 膜 102 をマスクとして用いたタングステン膜 101 のエッチング時にエッチングマスクであるそれらフォトレジスト 103 及び BARC 膜 102 の削れが生じる。

これは、タングステン膜 101 に対するフォトレジスト 103 及び BARC 膜 102 のエッチング選択比は約 2 と低いためである。

【0018】

この結果として、図 24(c)に示すように、タングステン配線の寸法シフト( $W_3 < W_2$ )、及びタングステン配線の肩落ち削れ E が生じ、配線断面形状のばらつき 24 が生じる。このため、電流密度の変化が生じ、デバイスの性能のばらつきが発生する。))

【0019】

また、反射防止膜(BARC膜)102のエッチング加工時には、その反射防止膜 102 のエッチングレートが上層のフォトレジスト 103 よりも低く、なおかつ上層のフォトレジスト 103 のレジストロスを考えると、エッチング加工条件に制約があった。

【0020】

したがって、マスク(フォトレジスト/反射防止膜)加工のスループット向上が図れない問題がある。

etching .

Continuing, as shown in Figure 24 (b ), BARCfilm 102 is done etching .

As at time of this , in ideal shown with dotted line , the etching should have been formed, but selected etching ratio of BARCfilm 102 for the photoresist 103 is approximately 1.

namely, both film has almost same etching velocity .

Depending, etching of photoresist 103 upper part advances at time of etching of BARCfilm 102 and [rejisutorosu ] h occurs.

Simultaneously, sidewall of photoresist and BARCfilm shaves, namely dimension shift to dimension  $W_{<sub>2</sub>}$  occurs from dimension  $W_{<sub>1</sub>}$ .

In other words, shape deficiency of etching mask occurs.

Especially, in order to prevent above-mentioned [rejisutorosu ], when photoresist 103 on BARCfilm 102 to be thick application is done, focus margin of photoresist became low, patterning deficiency of photoresist occurred.

In addition, those photoresist 103 and BARCfilm 102 which are a etching mask at time of etching of tungsten film 101 which uses this photoresist 103 and BARCfilm 102 as the mask shaves occurs.

As for this, as for selected etching ratio of photoresist 103 and BARCfilm 102 for tungsten film 101 is because approximately 2 it is low.

【0018】

As this result, way it shows in Figure 24 (c ), dimension shift of tungsten wiring ( $W_{<sub>3</sub>}$  {shoulder drop of  $W_{<sub>2</sub>}$ ), and tungsten wiring shaves E to occur, the scatter 24 of wiring cross section shape occurs. Because of this , change of current density occurs, scatter of the performance of device occurs. ))

【0019】

In addition, when antireflective film (BARCfilm ), etching rate of antireflective film 102 it is low at time of etching of 102 in comparison with photoresist 103 of the top layer , furthermore and thinks of [rejisutorosu ] of photoresist 103 of top layer , there was a constraint in etching condition .

【0020】

Therefore, there is a problem which cannot assure throughput improvement of mask (photoresist /antireflective film ) processing.

## 【0021】

一方、W 配線加工後の層間絶縁膜の平坦性向上にともない深さの異なる配線接続孔を同時に加工する必要性が生じてきた。

例えば、CMP(Chemical Mechanical Polishing)技術の採用による層間絶縁膜の平坦化の結果、アスペクト比の異なる配線接続孔を同時に形成するという必要性が生じてきた。

そしてドライエッチング技術については浅い穴のW 削れ量の抑制と深い穴の開孔性確保を両立する必要性が生じてきた。

## 【0022】

また、浅い穴に過剰なオーバーエッチングが加わっても穴径を精度良く抑制する必要性が生じてきた。

すなわち、アスペクト比の高い孔の開孔の確保と、アスペクト比の低い孔の過剰開口の抑制と同時に満足させるという課題が発生している。

## 【0023】

しかし、アスペクト比が異なる配線接続孔を同時形成する、すなわち層間絶縁膜の膜厚の異なる部分を同時エッチングして配線接続孔を形成する場合、図 25 に示すように層間絶縁膜 15 のアスペクト比の高い孔 15d<sub>1</sub> の孔底部に位置した下層配線材 52a を開口マージンを十分に拡大露出させる程度にエッチングを加えると、アスペクト比の低い孔 15d<sub>2</sub> の孔底部に位置した下層配線 52b の過剰エッチング、開孔部の側壁削れ(孔径の拡大)そして、上層配線との合わせ余裕の減少等の問題が発生する。

すなわち、図 26 に示すような下層配線 14 に設けられる設計上の層間絶縁膜の開孔寸法 d、開口(接続孔)51 と上層配線 16 との合わせ余裕 l と設定された時、現実におけるアスペクト比の低い孔 15b 部分のエッチング状態は、図 27 に示すパターン形状となる。

つまり、開孔 51 の径孔が d<sub>2</sub> のように拡大される。

このため、上層配線との合わせ余裕の減少(l<sub>1</sub>)が生じる。

そして、下層配線 14 の表面部 52C は過剰にエッチングがされてしまうという問題が発生した。

## 【0021】

necessity which processes wiring coupling hole where on one hand, depth differs attendant upon flatness improvement of interlayer insulating film after the Wmetallization simultaneously occurred.

necessity that occurred result of planarization of interlayer insulating film, forms the wiring coupling hole where aspect ratio differs simultaneously with adoption of the for example CMP (Chemical Mechanical Polishing) technology.

And concerning dry etching technology control of Wamount of wear of shallow hole thenecessity both achievements to do opening property guaranty of deep hole caused.

## 【0022】

In addition, excessive overetching joining to shallow hole, necessity which precision controls hole diameter well occurred.

problem that occurs satisfies guaranty of aperture of holewhere namely, aspect ratio is high and control of excess aperture of hole where aspect ratio is low simultaneously.

## 【0023】

But, wiring coupling hole where aspect ratio differs is done simultaneous formation, namely thesimultaneous etching doing portion where film thickness of interlayer insulating film differs, when it forms wiring coupling hole, as shown in Figure 25, when it is to be bottom layer wiring material 52 a aperture margin it adds etching to the extent which it expands exposes in satisfactory in position of hole bottom section of hole 15 d<sub>1</sub> where aspect ratio of interlayer insulating film 15 is high, Is to be sidewall of excess etching, open hole of bottom layer wiring 52b shaves (Enlargement of hole diameter) and, theadjusting liberal decrease or other problem of top layer wiring occurs in position of hole bottom section of hole 15 d<sub>2</sub> where aspect ratio is low.

When open hole dimension d, aperture of interlayer insulating film in regard to design which is providedin kind of bottom layer wiring 14 which is shown in namely, Figure 26 (coupling hole) adjustingliberal l of 51 and top layer wiring 16 being set, etching state of hole 15 bportion where aspect ratio in actuality is low becomes pattern which is shown in Figure 27.

In other words, diameter hole of open hole 51 like d<sub>2</sub> it is expanded.

Because of this, adjusting liberal decrease (l<sub>1</sub>) of top layer wiring occurs.

And, as for surface part 52C of bottom layer wiring 14 problem that occurred etching makes excess.

[0024]

本発明は上記課題に着目してなされたものである。

[0025]

その目的は、高融点金属等から成る配線のフォトリソグラフィ精度を向上し、配線抵抗を小とした半導体集積回路装置を提供することにある。

[0026]

本発明の他の目的は、高融点金属等から成る導体膜、及び接続孔(スルーホール)パターニング時のフォトリソグラフィ精度を向上した半導体集積回路装置を提供することにある。

[0027]

本発明の他の目的は、アスペクト比の異なる接続孔形成時において、アスペクト比の高い孔の開口性の確保しつつ、アスペクト比の低い孔の下地膜削れ、及び接続孔の側壁削れを抑制した半導体集積回路装置の製造方法を提供することにある。

[0028]

本発明のさらに他の目的は、配線接続孔加工時の横方向へのエッチング反応を抑制し、孔径の寸法精度を向上した半導体集積回路装置の製造方法を提供することにある。

[0029]

[課題を解決するための手段]

本願によって開示される発明のうち、代表的なものの概要を以下に述べる。

[0030]

本発明は、半導体集積回路装置であって、高融点金属膜の上面が、その高融点金属膜と比較して低反射率を有する導体膜で構成されている導体層がパターニング形成された配線を有することを特徴とするものである。

[0031]

ここで、高融点金属とは、例えばタングステン(W)、チタン(Ti)等を用いる。

また、低反射率の導体膜とは、その下方に位置する高融点金属よりも、光の反射率の低い導体膜のことを言い、例えば、チタニウム(TiN)等を

[0024]

As for this invention paying attention to above-mentioned problem, it is something which it is possible.

[0025]

It is to offer semiconductor integrated circuitry device where objective improves, photolithography precision of the wiring which consists of high melting point metal etc makes wiring resistance small.

[0026]

Other objective of this invention photolithography precision at time of conductor film, and coupling hole (through hole) patterning which consist of high melting point metal etc is to offer the semiconductor integrated circuitry device which improves.

[0027]

While opening property of hole where aspect ratio is high in time of the connecting hole formation where aspect ratio differs, guaranteeing, base film of hole where aspect ratio is low shave other objective of this invention, and the sidewall of coupling hole shave it is to offer manufacturing method of semiconductor integrated circuitry device which is controlled.

[0028]

Furthermore other objective of this invention controls etching reaction to the horizontal direction at time of wiring coupling hole processing, dimensional accuracy of hole diameter it is to offer manufacturing method of semiconductor integrated circuitry device which improves.

[0029]

[Means to Solve the Problems]

Among inventions which are disclosed with this application, gist of representative ones is expressed below.

[0030]

As for this invention, with semiconductor integrated circuitry device, top of high melting point metal film, conductor layer which configuration is done is something which designates that it possesses wiring which pattern formation is done as feature with conductor film which possesses low reflection ratio by comparison with high melting point metal film.

[0031]

Here, high melting point metal, for example tungsten (W), titanium (Ti) etc is used.

In addition, conductor film of low reflection ratio means thing of conductor film where reflectivity of light is low in comparison with high melting point metal which is in position

用いる。

【0032】

また、本発明は半導体集積回路装置の製造方法であって、半導体基体上に、高融点金属膜と低反射率の導体膜とから成る積層膜を形成する工程と、フォトリソグラフィーを用いて、前記積層膜から成る第 1 の導体層を形成する工程と、前記第 1 の導体層上部に絶縁膜を形成する工程と、第 1 の導体層上部において、前記絶縁膜にフォトリソグラフィーを用いて接続孔を形成する工程と、前記接続孔に第 2 の導体層を形成する工程とを有することを特徴とするものである。

【0033】

【作用】

本発明においては、高融点金属膜の上面が低反射率の導体膜で構成された積層配線から成る。

この低反射率の導体膜としては TiN 膜が用いられ、従来の配線パターンニングで用いられていた吸光剤入りレジスト膜と比較して反射率が低く、なおかつ下地高融点金属膜に対するエッチング選択比が吸光剤入りレジスト、感光用レジストより高い。

このため、配線パターンニング(ドライエッチング)中のレジストロスが抑制され、かつレジストがなくなっても、その TiN 膜がハードマスクとなり、下地高融点金属膜の削れを抑制する。

したがって、その TiN 膜を含めた実効的な配線幅の寸法加工精度を向上し、かつ配線抵抗を小さくした配線を有する半導体集積回路装置を達成することができる。

【0034】

【実施例】

本発明の一実施例である半導体集積回路装置及びその製造方法を図を用いて説明する。

本実施例の半導体集積回路装置は例えば 64M ビット DRAM を構成している。

【0035】

(実施例 1)

本発明の半導体集積回路装置のメモリセル領域

of lower, for example [chitsu] conversion titanium (TiN) etc is used.

【0032】

In addition, as for this invention with manufacturing method of semiconductor integrated circuitry device, on the semiconductor substrate, in step. first conductor layer upper part which forms insulating film in step. aforementioned first conductor layer upper part which forms first conductor layer which consists of aforementioned laminated film making use of step. photolithography which forms laminated film which consists of the conductor film of high melting point metal film and low reflection ratio, It is something which designates that it possesses step which forms second conductor layer in step. aforementioned coupling hole which forms the coupling hole making use of photolithography as feature in aforementioned insulating film.

【0033】

【Working Principle】

Regarding to this invention, top of high melting point metal film consists of layered wiring which configuration is done with conductor film of low reflection ratio.

It can use TiN film as conductor film of this low reflection ratio, reflectivity is low by comparison with light absorber entering resist film which is used with conventional wiring patterning, furthermore and selected etching ratio for substrate high melting point metal film is higher than resist for light absorber entering resist, exposure to light.

Because of this, [rejisutorosu] in wiring patterning (dry etching) is controlled, at sametime resist is gone, TiN film becomes hardmask, substrate high melting point metal film shaves controls.

Therefore, dimension fabrication precision of effective wiring width which includes TiN film it can improve, it can achieve semiconductor integrated circuitry device which possesses wiring which at same time makes wiring resistance small.

【0034】

【Working Example(s)】

semiconductor integrated circuitry device and its manufacturing method which are a one Working Example of this invention are explained making use of figure.

semiconductor integrated circuitry device of this working example configuration has done for example 64MB DRAMs.

【0035】

(Working Example 1)

memory cell region of semiconductor integrated circuitry

域および周辺回路領域を含む要部断面図を図1に示す。

図中 M はメモリセル領域を示し、図中 A は周辺回路領域を示す。

【0036】

半導体基板 1 は、例えば(100)結晶面を有する p 形のシリコン単結晶から成る。

半導体基板 1 のメモリセル領域 M 及び周辺回路領域 A には、メモリセル及び周辺 CMOS の nMOS(FET)のための共通の p ウェル 2p が形成されている。

この p ウェル 2p は、p 形不純物のホウ素(B)等が半導体基板 1 内に選択的に導入されることによって形成される。

また、半導体基板 1 の周辺回路領域 A には周辺 CMOS の PMOS(FET)のための n ウェル 2n が形成されている。

この n ウェル 2n は、n 形不純物のリン(P)等が半導体基板 1 内に選択的に導入されることによって形成される。

【0037】

p ウェル 2p には、ウェル表面の寄生チャンネル防止のために p 形チャンネルストップ層 4p が素子分離用のフィールド絶縁膜 3 直下に、かつその絶縁膜に接して形成されている。

このチャンネルストップ層 4p は、後述するように、p 形不純物のホウ素(B)等がウェル内全体にフィールド絶縁膜 3 を通して導入されることで形成される。

【0038】

一方、n ウェル 2n には、ウェル表面の寄生チャンネル防止のために n 形チャンネルストップ層 4n がフィールド絶縁膜 3 直下に、かつその絶縁膜に接して形成されている。

このチャンネルストップ層 4n には、後述するように、n 形不純物のリン(P)等がウェル内全体にフィールド絶縁膜 3 を通して導入されることで形成される。

なお、このフィールド絶縁膜 3 は、例えば半導体基板を選択酸化することにより形成された二酸化ケイ素(SiO<sub>2</sub>)から成る。

【0039】

前記チャンネルストップ層 4p はフィールド絶縁膜 3 に囲まれた素子形成領域 5p の内部に位置した

device of this invention and principal part sectional view which includes peripheral circuit region are shown in Figure 1.

in the diagram M shows memory cell region, in the diagram A shows peripheral circuit region.

【0036】

semiconductor substrate 1 consists of silicon single crystal of p type which possesses for example (100) crystal surface.

Common pwell 2p for nMOS (FET) of memory cell and periphery CMOS is formed in memory cell region M and peripheral circuit region A of semiconductor substrate 1.

this pwell 2p is formed by fact that boron (B) etc of p type impurity the selectively is introduced into semiconductor substrate 1.

In addition, nwell 2n for PMOS (FET) of periphery CMOS is formed to the peripheral circuit region A of semiconductor substrate 1.

this nwell 2n is formed by fact that phosphorus (P) etc of n type impurity the selectively is introduced into semiconductor substrate 1.

【0037】

p type channel stop layer 4p in field insulating film 3 directly below for element separation, at same time touching to the insulating film for parasitism channel prevention of wafer surface, it is formed in pwell 2p.

this channel stop layer 4p, as mentioned later, is formed by fact that boron (B) etc of p type impurity is introduced into entirety inside well through field insulating film 3.

【0038】

On one hand, n type channel stop layer 4n in field insulating film 3 directly below, at same time touching to the insulating film for parasitism channel prevention of well surface, it is formed in nwell 2n.

As mentioned later, it is formed by fact that phosphorus (P) etc of n type impurity is introduced into entirety inside well through the field insulating film in this channel stop layer 4n.

Furthermore, this field insulating film 3 consists of silicon dioxide (SiO<sub>2</sub>) which was formed by selective oxidation doing for example semiconductor substrate.

【0039】

Aforementioned channel stop layer 4p is to be in position of interior of the element-forming region 5p which is surrounded

部分に不純物濃度のピークを有し、耐 $\alpha$ 線防止対策のためのp+埋込み層の役割を成す。

## 【0040】

同様に、前記チャネルストップ層4nは、フィールド絶縁膜3に囲まれた素子形成領域4nの内部に位置した部分に不純物濃度のピークを有し、耐 $\alpha$ 線防止対策のためのn+埋込み層の役割を成す。

## 【0041】

メモリセル領域Mにおける素子形成領域5pすなわちp型半導体領域上には、メモリセルを構成するスイッチ用のnMOS(FET)6及び情報蓄積用のキャパシタ11が形成されている。

## 【0042】

nMOS6は、LDD(Lightly Doped Drain)構造を有し、p型半導体領域5p主面上に形成されたゲート絶縁膜6cと、ゲート電極6b及びp型半導体領域5p内に形成されたソース・ドレインを構成する一対のn型の半導体領域6A1,6A2から成る。

ゲート絶縁膜6cは、例えばSiO<sub>2</sub>から成る。

ゲート電極6bは、例えばn形の低抵抗ポリシリコンから成る。

このゲート電極6bの上部には例えばCVD-SiO<sub>2</sub>から成るゲートキャップaが被覆されている。

また、このゲート電極6bの側部にはCVD-SiO<sub>2</sub>から成る、サイドウォール絶縁膜10が形成されている。

前記一対のn型の半導体領域6A1,6A2は、例えばリン(P)が選択的にp型半導体領域5p内に導入されることで形成される。

## 【0043】

メモリセル領域M中のnMOS6の一方の半導体領域層6A2は、隣接するnMOS6の一方の半導体領域層を構成し、2つのメモリセルの共通の領域となっている。

## 【0044】

キャパシタ11は、例えばフィン形状をとり、一対のキャパシタ用電極11a1,11a2と、その間に形成されたキャパシタ用絶縁膜11bから構成される。

## 【0045】

in field insulating film 3 in portion to possess the peak of impurity concentration, resistance;  $\alpha$ -ray preventive measure role of p+ buried layer of for sake of is formed.

## 【0040】

In same way, aforementioned channel stop layer 4n is to be in position of the interior of element-forming region 4n which is surrounded in field insulating film 3 in portion to possess peak of impurity concentration, resistance;  $\alpha$ -ray preventive measure role of n+ buried layer of for sake of is formed.

## 【0041】

nMOS for switch which configuration does memory cell (FET) capacitor 11 for 6 and information compilation is formed on element-forming region 5p namely p-type semiconductor region in the memory cell region M.

## 【0042】

nMOS 6 has LDD (Lightly Doped Drain) structure, consists of semiconductor region 6A1, 6A2 of n type of pair which configuration does gate insulating film 6c and gate electrode 6b and was formed inside p type semiconductor region 5p source \* drain which were formed on p type semiconductor region 5p main surface.

gate insulating film 6c consists of for example SiO<sub>2</sub>.

gate electrode 6b consists of low resistance polysilicon of for example n type.

gate cap a which consists of for example CVD -SiO<sub>2</sub> sheath is done in upper part of this gate electrode 6b.

In addition, it consists of CVD -SiO<sub>2</sub> in side part of this gate electrode 6b, the sidewall insulating film 10 is formed.

semiconductor region 6A1, 6A2 of n type of aforementioned pair is formed by the fact that for example phosphorus (P) is introduced into selectively p type semiconductor region 5p.

## 【0043】

semiconductor region layer 6 A2 of one side of nMOS 6 in memory cell region M the configuration does semiconductor region layer of one side of nMOS 6 which is adjacent, has become common region of 2 memory cell.

## 【0044】

capacitor 11 takes for example fin shape, configuration is done from electrode 11a1, 11a2 for the capacitor of pair and insulating film 11b for capacitor which was formed between that.

## 【0045】



このキャパシタ用電極 11a1, 11a2 は、例えば n 形の低抵抗ポリシリコンから成る。

キャパシタ用絶縁膜 11b は、例えば窒化シリコン (Si<sub>3</sub>N<sub>4</sub>) から成る。

そして、一方のキャパシタ用電極 11a1 は nMOS6 の一方の半導体領域層 6A2 と電気的に接続しており、もう一方のキャパシタ用電極 11a2 は、給電用配線 (図示せず) と電気的に接続しており、もう一方のキャパシタ用電極 11a2 は、給電用配線 (図示せず) と電気的に接続されている。

【0046】

周辺回路領域 A における素子形成領域 (半導体領域) 5p 上には、nMOS (FET) 7 素子形成領域 (半導体領域) 5n 上には pMOS (FET) 8 がそれぞれ形成されている。

これら nMOS 7 および pMOS 8 によって、メモリセルの周辺回路を構成する。

【0047】

前記 nMOS 7、及び pMOS 8 は、それぞれ LDD (Lightly Doped Drain) 構造を有する。

【0048】

前記 nMOS 7 は、p 形半導体領域 5p 主面上に形成されたゲート絶縁膜 7c と、ゲート電極 7b、および半導体領域 5p 内に形成されたソース・ドレインを構成する一対の n 形半導体領域 7A1、7A2 から成る。

n 形半導体領域 7A1、7A2 は、n 形不純物のリン (P) 及びヒ素 (As) 等が選択的に p 形半導体領域 5p 内に導入されることで形成される。

一方、前記 pMOS 8 は、n 形半導体領域 5n 主面上に形成されたゲート絶縁膜 8c と、ゲート電極 8b および半導体領域 5n 内に形成されたソース・ドレインを構成する一対の p 形半導体領域 8A1、8A2 から成る。

pMOS の p 形半導体領域 8A1、8A2 は、p 形不純物のホウ素 (B) 等が選択的に n 形半導体領域 5n 内に導入されることで形成される。

【0049】

なお、前記ゲート絶縁膜 7c、8c は、例えば半導体領域 5p および半導体領域 5n 表面をそれぞれ熱酸化することによって形成された SiO<sub>2</sub> から成る。

前記ゲート電極 7b は例えば n 形の低抵抗ポリ

electrode 11a1, 11a2 for this capacitor consists of low resistance polysilicon of for example n type .

insulating film 11b for capacitor consists of for example silicon nitride (Si<sub>3</sub>N<sub>4</sub>) .

And, we connect electrode 11a1 for on one hand capacitor to semiconductor region layer 6 A2 and electrical of one side of nMOS 6, electrode 11a2 for the capacitor of another , wiring for electricity supply (not shown ) with connect to the electrical , electrode 11a2 for capacitor of another wiring for electricity supply (not shown ) with is connected to electrical .

【0046】

element-forming region in peripheral circuit region A (semiconductor region ) nMOS (FET ) 7 element-forming region (semiconductor region ) pMOS (FET ) 8 is respectively formed on 5 n on 5 p .

With these nMOS 7 and pMOS 8, peripheral circuit of memory cell is done the configuration .

【0047】

Aforementioned nMOS 7, and pMOS 8 have respective LDD (Lightly Doped Drain ) structure .

【0048】

Aforementioned nMOS 7 consists of n type semiconductor region 7A1, 7A2 of pair which the configuration does gate insulating film 7c and gate electrode 7b, and was formed inside semiconductor region 5p the source \* drain which were formed on p type semiconductor region 5p main surface .

n type semiconductor region 7A1, 7A2 phosphorus of n type impurity ( P ) and is formed by fact that the arsenic ( As ) etc is introduced into selectively p type semiconductor region 5p .

On one hand, aforementioned pMOS 8 consists of p type semiconductor region 8A1, 8A2 of the pair which configuration does gate insulating film 8c and gate electrode 8b and was formed inside semiconductor region 5n source \* drain which were formed on n type semiconductor region 5n main surface .

p type semiconductor region 8A1, 8A2 of pMOS is formed by fact that boron ( B ) etc of p type impurity is introduced into selectively n type semiconductor region 5n .

【0049】

Furthermore, aforementioned gate insulating film 7c, 8c consists of SiO<sub>2</sub> which was formed by fact that for example semiconductor region 5p and semiconductor region 5n surface are done thermal oxidation respectively .

Aforementioned gate electrode 7b consists of low resistance

シリコンから成る。

一方、前記ゲート電極 8b は例えば p 形の低抵抗ポリシリコンから成る。

そして、これらゲート電極 7b、8b の上部には CVD・SiO<sub>2</sub> から成るゲートキャップ 9 がそれぞれ被覆されている。

また、このゲート電極 7b、8b の側部には CVD・SiO<sub>2</sub> から成るサイドウォール絶縁膜 10 が形成されている。

【0050】

キャパシタ 11、nMOS6、7、及び pMOS8 が形成された半導体基板には層間絶縁膜(第 1 の絶縁膜)12 が形成されている。

この第 1 の絶縁膜は、例えばこの酸化ケイ素(SiO<sub>2</sub>) 及びその SiO<sub>2</sub> 上に形成された BPSG(Boro-Phospho Silicate Glass)の積層膜から成る。

【0051】

そして、メモリセル領域 M の第 1 の絶縁膜 12 の上部にはビット線 14B が形成され、絶縁膜に穿孔された接続孔を通じ、メモリセルを構成する nMOS6 の半導体領域 6A2 と電気的に接続している。

ビット線 14B で深い接続孔を通して半導体領域 6A2 に直接コンタクトすることが困難である。

このため、この接続孔内には、例えば、n 形の低抵抗ポリシリコン 13 が埋め込まれている。

【0052】

一方、周辺回路領域 A において、第 1 の絶縁膜 12 の上部には、ビット線 14B と同時パターニングによって第 1 の導体層 14 が形成され、第 1 の絶縁膜に穿孔された接続孔を通じ、nMOS7、pMOS8 それぞれの半導体領域 7A2、8A1 と電気的に接続している。

【0053】

前記ビット線 14B と第 1 の導体層 14 は、本発明の特徴とする構成要素であり、TiN/W/TiN 構造、すなわち下方から順にチタニウム(TiN)膜 14a、タングステン(W)膜 14b、そしてその最上面はチタニウム膜 14c で構成されている。

下層 TiN 膜 14a は半導体領域 7a2、8a1 とのオーミックコンタクトを成すために形成されたもので、その膜厚は約 50[nm]である。

polysilicon of for example n type .

On one hand, aforementioned gate electrode 8b consists of low resistance polysilicon of the for example p type .

And, gate cap 9 which consists of CVD \* SiO<sub>2</sub> sheath is done respectively in upper part of these gate electrode 7b, 8b.

In addition, sidewall insulating film 10 which consists of CVD \* SiO<sub>2</sub> is formed in the side part of this gate electrode 7b, 8b.

【0050】

interlayer insulating film (first insulating film ) 12 is formed on semiconductor substrate where capacitor 11, nMOS 6, 7, and pMOS 8 were formed.

this first insulating film for example this silicon oxide (SiO<sub>2</sub> ) and consists of laminated film of BPSG (Boro-Phospho Silicate Glass ) which was formed on its SiO<sub>2</sub>.

【0051】

It is connected to semiconductor region 6A2 and electrical of nMOS 6 which the configuration does memory cell via coupling hole where and, bit line 14B is formed by upper part of first insulating film 12 of memory cell region M, perforation makes insulating film .

It is difficult contact to make directly semiconductor region 6A2, through deep coupling hole with bit line 14B.

Because of this , low resistance polysilicon 13 of for example n type is imbedded inside the this coupling hole .

【0052】

On one hand, it is connected to nMOS 7, pMOS 8 respective semiconductor region 7A2, 8A1 and the electrical via coupling hole where first conductor layer 14 is formed by upper part of the first insulating film 12, with simultaneous patterning with bit line 14B in peripheral circuit region A, the perforation makes first insulating film .

【0053】

As for aforementioned bit line 14B and first conductor layer 14, with component which is made feature of this invention , from TiN /W/TiN structure , namely lower in order as for [chitsu ] conversion titanium (TiN ) film 14a, tungsten (W ) film 14b, and top surface configuration it is done with [chitsu ] conversion titanium film 14c.

As for bottom layer TiN film 14a being something which was formed in order to form the ohmic contact of semiconductor region 7a2, 8a1, film thickness is approximately 50 [nm ] .

W 膜 14b は主たる配線材料として形成されたもので、その膜厚は約 150[nm]である。

そして、上層 TiN 膜 14c は配線加工時の反射防止膜として用いられ、かつそのまま配線材料の一部として残されたものであり、その膜厚は約 50[nm]である。

そして、これらビット線 14b および第 1 の導体層 14 の線幅は約 400[nm]である。

[0054]

第 1 の絶縁膜 12 の上面には、ビット線及び第 1 の導体層 14 を被覆するように、例えば CMP (Chemical Mechanical Polishing) により平坦化された層間絶縁膜 (第 2 の絶縁膜) 15 が形成されている。

すなわち、この第 2 の絶縁膜 15 は、例えば SiO<sub>2</sub>/SOG/SiO<sub>2</sub> (15a, 15b, 15c) の重ね膜から成り、その重ね膜中、SOG 15b が CMP 加工されている。

したがって、第 2 の絶縁膜 15 は、それぞれメモリセル領域 M 上において約 400[nm]、周辺回路領域 A 上において約 600~700[nm]の膜厚を有する。

[0055]

なお、第 2 の絶縁膜 15 において、SOG 15b は熱的に安定な SiO<sub>2</sub> (15a, 15c) ではさみこまれている。

このため、SOG 15b それ自身は熱的に弱い (温度サイクルによりクラックが発生しやすい) が、熱的に安定なそれら SiO<sub>2</sub> (15a, 15c) によってその SOG 15b が保護されているため、SOG 15b にクラックが発生しても上層および下層の導体層への悪影響を回避することができる。

しかも、上層導体層 (第 2 の導体層 16) は安定な SiO<sub>2</sub> (15c) 上に接して形成されるため、その上層導体層の加工寸法精度の向上が図れる。

[0056]

前記第 2 の絶縁膜 15 上面には複数の第 2 の導体層 16 が形成され、接続孔を通じビット線 14b 及び第 1 の導体層 14 とそれぞれ電気的に接続している。

第 2 の導体層 16 は、TiN/Al/W 構造すなわち、下方から順に、タングステン (W) 膜 16a、アルミニウム (Al) 膜 16b、そして最上面はチタニウム (TiN) 膜 16c で構成されている。

As for W film 14b being something which was formed as main metallization material, film thickness is approximately 150 [nm].

Being something to which and, top layer TiN film 14c is used as antireflective film at the time of metallization, is left at same time that way as portion of the metallization material, film thickness is approximately 50 [nm].

And, these bit line 14b and linewidth of first conductor layer 14 are approximately 400 [nm].

[0054]

In order sheath to do bit line and first conductor layer 14, interlayer insulating film which the planarization is done (second insulating film) 15 is formed in top of first insulating film 12 by for example CMP (Chemical Mechanical Polishing).

namely, this second insulating film 15 consists of pile film of for example SiO<sub>2</sub>/SOG/SiO<sub>2</sub> (15 a, 15b, 15c), in pile film, SOG 15b is processed CMP.

Therefore, as for second insulating film 15, it possesses film thickness of approximately 600 - 700 [nm] in on respective memory cell region M approximately 400 [nm], in on peripheral circuit region A.

[0055]

Furthermore, SOG 15b in thermal stability putting between with the SiO<sub>2</sub> (15 a, 15c), has been troubled in second insulating film 15.

Because of this, that itself of SOG 15b because (Due to temperature cycle crack to occur easy) which is weak in thermal, thermal stability SOG 15b is protected with those SiO<sub>2</sub> (15 a, 15c), crack occurring in SOG 15b, can evade adverse effect to the conductor layer of top layer and bottom layer.

Furthermore, as for top layer conductor layer (second conductor layer 16) stability touching on SiO<sub>2</sub> (15 c), because it is formed, it can assure improvement of fabricated dimension precision of top layer conductor layer.

[0056]

second conductor layer 16 of plural is formed by aforementioned second insulating film 15 top, the bit line 14b and first conductor layer 14 is connected to electrical respectively via the coupling hole.

As for second conductor layer 16, from TiN/Al/W structure namely, lower in order, as for tungsten (W) film 16a, aluminum (Al) film 16b, and top surface configuration it is done with [chitsu] conversion titanium (TiN) film 16c.

下地 W 膜 16a は上層 Al 膜 16b 第 1 の導体層 14(ビット線 14B)との間のバリア層として、また、第 2 の絶縁膜 15 の接続孔内のカバレッジを良好にするために形成されたもので、その膜厚は約 50[nm]である。

Al 膜 16b は主たる低抵抗配線材料として形成されたもので、その膜厚は約 100[nm]である。

そして、上層 TiN 膜 16c は、前記第 1 の導体層 14(ビット線 14B)と同様、配線加工時の反射防止膜として用いられ、かつ、そのまま配線材料の一部として残されたものであり、その膜厚は約 50[nm]である。

[0057]

前記第 2 の絶縁膜 15 の上面には、第 2 の導体層 16 を被覆するように層間絶縁膜(第 3 の絶縁膜)17 が形成されている。

この絶縁膜は第 2 の絶縁膜 16 と同様に SiO<sub>2</sub>/SOG/SiO<sub>2</sub>(16a,16b,16c)の重ね膜から成る。

さらに、第 3 の絶縁膜 17 の上面には複数の第 3 の導体層 18 が形成されている。

図示されていないが、第 3 の導体層 18 は第 2 の絶縁膜 16 に設けられた接続孔を通じ第 2 の導体層 16 と電気的に接続している。

[0058]

なお、第 3 の導体層 18 は、例えば、第 2 の導体層 16 と同様の TiN/Al/W 構造を有する。

[0059]

第 3 の絶縁膜 17、及び第 3 の導体層 18 の上面には、例えば約 600[nm]膜厚を有する SiO<sub>2</sub> から成る表面保護としてのファイナルパッシベーション膜(final passivation film)19 が形成されている。

[0060]

次に、本実施例 1(図 1)の半導体集積回路装置の製造方法を図 2 から図 19 を用いて説明する。

図中 M はメモリアル領域を示し、図中 A は周辺回路領域を示す。

[0061]

図 2 に示すように、p 形シリコン単結晶から成る半導体基板 1 の主面に n ウェル 2n、及び p ウェ

As for substrate W film 16a as barrier layer between top layer aluminum film 16b first conductor layer 14 (bit line 14B ), in addition, being something which was formed in order to make birch registration inside coupling hole of second insulating film 15 satisfactory, film thickness is approximately 50 [nm ].

As for aluminum film 16b being something which was formed as main low resistance metallization material ,film thickness is approximately 100 [nm ].

Being something to which and, top layer TiN film 16c is used aforementioned first conductor layer 14 (bit line 14B ) with similarity, as antireflective film at time of metallization , at same time, is left that way as portion of metallization material , film thickness is approximately 50 [nm ].

[0057]

In order sheath to do second conductor layer 16, interlayer insulating film (insulating film of 3 rd ) 17 is formed in the top of aforementioned second insulating film 15.

this insulating film consists of pile film of SiO<sub>2</sub>/SOG /SiO<sub>2</sub> (16 a, 16b, 16c ) in same way as second insulating film 16.

Furthermore, conductor layer 18 of 3 rd of plural is formed to top of insulating film 17 of 3 rd .

It is not illustrated. conductor layer 18 of 3 rd you connect to second conductor layer 16 and electrical via the coupling hole which is provided in second insulating film 16.

[0058]

Furthermore, conductor layer 18 of 3 rd has TiN /Al /W structure which is similar to for example second conductor layer 16.

[0059]

final passivation film as surface protection which consists of SiO<sub>2</sub> which possesses the for example approximately 600 [nm ] film thickness (final passivation film ) 19 is formed in insulating film 17, of 3 rd and top of conductor layer 18 of 3 rd .

[0060]

Next, manufacturing method of semiconductor integrated circuitry device of this working example 1 (Figure 1 ) is explained making use of Figure 19 from Figure 2 .

in the diagram M shows memory cell region , in the diagram A shows peripheral circuit region .

[0061]

As shown in Figure 2 , nwell 2n, and pwell 2p are formed in main surface of semiconductor substrate 1 which consists of p

ル 2p が形成される。

n ウェル 2n は、n ウェル領域のみが露出するようなマスクを形成した後、リン(P)等を半導体基板に注入し、アニールすることによって形成される。

一方、p ウェル 2p は、p ウェル領域のみが露出するようなマスクを形成した後、ホウ素(B)等を半導体基板に注入し、アニールすることによって形成される。

[0062]

具体的には、これら p ウェル 2p、及び n ウェル 2n の形成は、図に示されていないが、酸化膜の厚さを利用したセルフアライン技法(ツインウェルセルフアライン)により達成される。

すなわち、半導体基板 1 の p ウェルが形成されるべき主面部を耐酸化性膜である  $\text{Si}_3\text{N}_4$  膜を選択的に覆う。

そして、その  $\text{Si}_3\text{N}_4$  膜が形成されていない半導体基板 1 の n ウェルが形成されるべき主面部に n 形を示すリンより成る不純物がイオン打込みにより導入され、n 形イオン打込み層が形成される。

この時のドーズ量は  $2.0 \times 10^{13} \text{ atoms/cm}^2$  で、打込みエネルギーは 125 KeV である。

次に、その  $\text{Si}_3\text{N}_4$  膜をマスクとして、その n 形イオン打込み層表面を選択酸化し、その表面に  $\text{SiO}_2$  膜を形成する。

次に、前記  $\text{Si}_3\text{N}_4$  膜を除去し、その  $\text{SiO}_2$  膜(選択酸化膜)をマスクとし、p ウェルが形成されるべき主面部( $\text{Si}_3\text{N}_4$  膜が除去された半導体基板 1 の主面部)に p 形を示すボロンより成る不純物がイオン打込みにより導入され、p 形イオン打込み層が形成される。

この時のドーズ量は  $8.0 \times 10^{12} \text{ atoms/cm}^2$  で、打込みエネルギーは 60 KeV である。

しかる後、温度条件約 800 deg C~1200 deg C のもとでイオン打込みダメージ回復のアニールをともなったウェル拡散を行なうことで半導体基板 1 内に p ウェル 2p、及び n ウェル 2n が形成される。

そして、これらウェル表面に形成されている  $\text{SiO}_2$  膜が除去される。

type silicon single crystal .

nwell 2n after forming mask which only nwell region exposes, fills phosphorus (P) etc to semiconductor substrate, is formed by fact that anneal it does.

On one hand, pwell 2p after forming mask which only pwell region exposes, fills boron (B) etc to semiconductor substrate, is formed by fact that anneal it does.

[0062]

Concretely, as for these pwell 2p, or formation of nwell 2n, it is not shown in figure. It is achieved by [self-alignment] technique ( [twin-well self-alignment] ) which utilizes thickness of the oxide film .

main surface part which pwell of namely, semiconductor substrate 1 should form  $\text{Si}_{\text{sub}3}\text{N}_{\text{sub}4}$  film, which is an oxidation-resistant film is covered selectively .

And, impurity which consists of phosphorus which shows n type in main surface part which nwell of semiconductor substrate 1 where  $\text{Si}_{\text{sub}3}\text{N}_{\text{sub}4}$  film is not formed should form it is introduced by ion insertion, n type ion insertion layer is formed.

As for dose at time of this with  $2.0 \times 10^{13} \text{ atoms/cm}^2$ , as for the insertion energy they are 125 KeV .

Next, n type ion insertion layer surface selective oxidation is done with  $\text{Si}_{\text{sub}3}\text{N}_{\text{sub}4}$  film as mask, the  $\text{SiO}_2$  film is formed in surface .

Next, it removes aforementioned  $\text{Si}_{\text{sub}3}\text{N}_{\text{sub}4}$  film, designates  $\text{SiO}_2$  film (selective oxidation film) as mask, impurity which consists of boron which shows p type in main surface part (main surface part of semiconductor substrate 1 where  $\text{Si}_{\text{sub}3}\text{N}_{\text{sub}4}$  film is removed) which pwell should form it is introduced by the ion insertion, p type ion insertion layer is formed.

As for dose at time of this with  $8.0 \times 10^{12} \text{ atoms/cm}^2$ , as for the insertion energy they are 60 KeV .

After that, by fact that well scattering which accompanies anneal of ion insertion damage recovery in origin of temperature condition approximately 800 deg C~1200 deg C is done pwell 2p, and nwell 2n are formed inside semiconductor substrate 1.

And,  $\text{SiO}_2$  film which is formed to these well surface is removed.

図 2 は、この SiO<sub>2</sub> 膜が除去された時の半導体基板を示している。

【0063】

次に、図 3 に示すようにウェル 2p、2n が形成された半導体基板 1 の主面に、フィールド絶縁膜 3 を選択的に形成する。

フィールド絶縁膜 3 は、例えば 400[nm]程度の膜厚を有する SiO<sub>2</sub> から成り、周知の LOCOS(Local Oxidation of Silicon)法によって形成される。

図 3 は、フィールド絶縁膜 3 形成時に用いた耐酸化マスク(Si<sub>3</sub>N<sub>4</sub>膜)を除去した状態での半導体基板を示す。

【0064】

て 次に、図 4 に示すように、半導体基板 1 に p 形チャネルストップ層 4p、及び n 形チャネルストップ層 4n を形成する。

まず、p 形チャネルストップ層 4p を形成するために、n ウェル 2n 表面上を覆うマスクを選択的に形成し、ホウ素等を例えばイオン注入法でフィールド絶縁膜 3 を通して、表面にマスクが形成されていない p ウェル 2p 内に導入する。

この時のドーズ量は  $4 \times 10^{12}$  atoms/cm<sup>2</sup>、打込みエネルギーは 180 KeV である。

このように高エネルギーでイオン打込みすることで、フィールド絶縁膜 3 を通して p ウェル 2p 内に不純物が導入され、かつ、そのフィールド絶縁膜 3 と p ウェル 2p との界面近傍に不純物濃度のピークをもたせることによって、フィールド絶縁膜 3 下の寄生チャネル(n 形反転層)が形成されるのを防止できる。

さらに、この p 形チャネルストップ層 4p は、フィールド絶縁膜 3 が形成されていない薄い SiO<sub>2</sub> 膜 3a が形成されている p ウェル内においては、フィールド絶縁膜 3 直下よりも深い位置に不純物濃度のピークを有し、いわゆる耐  $\alpha$  線防止のための埋込み P+ 層としての役目を果たすことになる。

【0065】

また、n 形チャネルストップ層 4n を形成するために、p ウェル 2p 表面上を覆うマスクを選択的に形成し、リン等を例えばイオン注入法でフィールド絶縁膜 3 を通して、表面にマスクが形成されていない n ウェル 2n 内に導入する。

その後、半導体基板 1 をアニールして、イオン打

Figure 2, when this SiO<sub>2</sub> film is removed, has shown semiconductor substrate.

【0063】

As next, shown in Figure 3, in main surface of semiconductor substrate 1 where well 2p, 2n was formed, field insulating film 3 is formed selectively.

field insulating film 3 consists of SiO<sub>2</sub> which possesses film thickness of for example 400 [nm] extent, is formed with widely known LOCOS (local oxidation of Silicon) method.

Figure 3 at time of field insulating film 3 formation shows semiconductor substrate with the state which removes acid resistant conversion mask (Si<sub>3</sub>N<sub>4</sub> film) which is used.

【0064】

As \* next, shown in Figure 4, p type channel stop layer 4p, and n type channel stop layer 4n are formed in semiconductor substrate 1.

First, in order to form p type channel stop layer 4p, mask which covers on nwell 2n surface is formed selectively, boron etc is introduced into pwell 2p where mask is not formed to surface through field insulating film 3, with the for example ion implantation.

As for dose at time of this as for  $4 \times 10^{12}$  atoms/cm<sup>2</sup>, insertion energy they are 180 KeV.

this way fact that parasitism channel (n type inversion layer) under field insulating film 3 is formed by fact that by fact that ion insertion it does, impurity is introduced into pwell 2p with high energy through field insulating film 3, at the same time, can give peak of impurity concentration in boundary vicinity of field insulating film 3 and pwell 2p, can be prevented.

It possesses peak of impurity concentration in deep location in comparison with field insulating film 3 directly below in inside pwell where thin SiO<sub>2</sub> film 3a where as for this p type channel stop layer 4p, field insulating film 3 is not formed is formed, furthermore, so-called resistance;  $\alpha$ -ray as pad P+ layer for preventing it means to carry out role.

【0065】

In addition, in order to form n type channel stop layer 4n, mask which covers on the pwell 2p surface is formed selectively, phosphorus etc is introduced into nwell 2n where mask is not formed to surface through field insulating film 3, with the for example ion implantation.

After that, anneal doing semiconductor substrate 1, with

込みダメージの回復とともに、引き伸し拡散することによって、図 4 に示したように p 形、及び n 形のチャンネルストップ層 4p、4n が p ウェル 2p、及び n ウェル 2n 内にそれぞれ形成される。

[0066]

次に、図 5 及び図 6 に示すように、半導体基板の主面に MISFET 6、7、8 を形成する。

[0067]

まず、ゲート(ゲート絶縁膜およびゲート電極)形成に先立って、p ウェル 2p、及び n ウェル 2n 表面に、ホウ素、及びリンをそれぞれイオン注入法等によって導入し、p 形、及び n 形の素子形成領域 5p、5n を形成する。

これは、素子形成領域 5p、5n に形成される MISFET に所望の電気特性を持たせるため、具体的にはしきい値電圧( $V_{th}$ )制御のためにそれぞれ p ウェル 2p、及び n ウェル 2n の表面不純物濃度が制御される。

すなわち、素子形成領域 5p は、nMOS が形成される領域であり、例えば、ドーズ量は  $3.6 \times 10^{12}$  atoms/cm<sup>2</sup>、打込みエネルギーは 45 KeV の条件で、ボロンイオンの打込みによって形成される。

一方、素子形成領域 5n は、PMOS が形成される領域であり、例えばドーズ量は  $4 \times 10^{11}$  atoms/cm<sup>2</sup>、打込みエネルギーは 40 KeV の条件で、リンイオンの打込みによって形成される。

前記 SiO<sub>2</sub> 膜 3a、3b が除去された後、図 5 に示すように、それぞれの素子形成領域 5p、5n の主面を熱酸化して SiO<sub>2</sub> から成るゲート絶縁膜 6c、7c、8c を形成する。

この膜厚は、12[nm]程度である。

次いで、素子形成領域 5p、5n 表面にゲート電極 6b、7b、8b を形成するため、まず、例えば n 形の低抵抗ポリシリコン膜を CVD 法によって堆積する。

このポリシリコン膜の膜厚は 150[nm]程度である。

続いて、キャップ層として、例えば SiO<sub>2</sub> から成る絶縁膜を CVD 法等により堆積する。

この膜厚は 200[nm]程度である。

そして、フォトリソグラフィ、及びエッチングにより、その絶縁膜及びポリシリコン膜をパターンニングし、ゲート電極 6b、7b、8b 及びゲートキャップ層 9 を形成する。

recovery of ion insertion damage, it pulls and extends and as by fact that scattering it does, shown in Figure 4, channel stop layer 4p, 4n of p type, and n type is respectively formed inside pwell 2p, and nwell 2n.

[0066]

As next, shown in Figure 5 and Figure 6, MISFET 6, 7, 8 is formed in main surface of the semiconductor substrate.

[0067]

First, preceding gate (gate insulating film and gate electrode) formation, in pwell 2p, and nwell 2n surface, it introduces phosphorus with boron, and respective ion implantation etc forms element-forming region 5p, 5n of p type, and n type.

As for this, because desired electrical property can be given in MISFET which is formed to element-forming region 5p, 5n, concretely respective pwell 2p, and surface impurity concentration of nwell 2n are controlled for threshold voltage ( $V_{th}$ ) control.

As for namely, element-forming region 5p, with region where nMOS is formed, as for the for example dose as for  $3.6 \times 10^{12}$  atoms/cm<sup>2</sup>, insertion energy with condition of 45 KeV, it is formed with insertion of boron ion.

On one hand, as for element-forming region 5n, with region where PMOS is formed, as for example dose as for  $4 \times 10^{11}$  atoms/cm<sup>2</sup>, insertion energy with condition of 40 KeV, it is formed with insertion of phosphorus ion.

After aforementioned SiO<sub>2</sub> film 3a, 3b is removed, as shown in Figure 5, the thermal oxidation doing main surface of respective element-forming region 5p, 5n, it forms gate insulating film 6c, 7c, 8c which consists of SiO<sub>2</sub>.

this film thickness is 12 [nm] extent.

Next, in order to form gate electrode 6b, 7b, 8b in element-forming region 5p, 5n surface, first, low resistance polysilicon film of the for example n type is accumulated with CVD method.

film thickness of this polysilicon film is 150 [nm] extent.

Consequently, insulating film which consists of for example SiO<sub>2</sub> as cap layer, is accumulated with CVD method etc.

this film thickness is 200 [nm] extent.

And, with photolithography, and etching, insulating film and polysilicon film are done patterning, gate electrode 6b, 7b, 8b and gate cap layer 9 are formed.

層 9 を形成する。

そして、フィールド絶縁膜 3 及びゲート電極 6b、7b に自己整合された n 形 MISFET の半導体領域 6a1、6a2、7a1、7a2 が素子形成領域 5p 内に選択的に形成される。

例えば、これら半導体領域はリンイオン注入によって形成される。

【0068】

この時のイオン打込み条件は、例えば、ドーズ量  $2 \times 10^{13}$  atoms/cm<sup>2</sup>、打込みエネルギー 40KeV である。

次いで、フィールド絶縁膜 3 及びゲート電極 8b に自己整合された p 形 MISFET の半導体領域 8a1、8a2 が素子形成領域 5n 内に選択的に形成される。

例えば、これら半導体領域は、ホウ素イオン注入によって形成される。

この時のイオン打込み条件は、例えばドーズ量  $2 \times 10^{13}$  atoms/cm<sup>2</sup>、打込みエネルギー 45KeV である。

【0069】

次いで、図 6 に示すように、ゲート電極 6b、7b、8b、及び絶縁膜 9 の側面に、サイドウォール 10 を形成する。

具体的には、厚さ 100[nm] の SiO<sub>2</sub> 膜を形成した後、この SiO<sub>2</sub> 膜を異方性のエッチングすることによりサイドウォール 10A、10B が形成される。

【0070】

この後、フィールド絶縁膜 9 及びサイドウォール 10A に自己整合された半導体領域 6A1、6A2、7A1、7A2 が素子形成領域 5p 内に選択的に形成される。

この半導体領域 6A1、6A2、7A1、7A2 は、リンイオン打込みとアニール処理を含む不純物導入法により形成され、先に形成した半導体領域 6a1、6a2、7a1、7a2 よりも深く、かつ高い不純物濃度領域を有する。

また、フィールド絶縁膜 3 及びサイドウォール 10B に自己整合された半導体領域 8A1、8A2 が素子形成領域 5p 内に選択的に形成される。

この半導体領域 8A1、8A2 は、ボロンイオン打込みとアニール処理を含む不純物導入法により形成され、先に形成した半導体領域 8a1、8a2 よりも深く、かつ高い不純物濃度領域を有する。

And, semiconductor region 6a1, 6a2, 7a1, 7a2 of n type MISFET which self was adjusted to field insulating film 3 and gate electrode 6b, 7b selectively is formed inside element-forming region 5p.

These semiconductor region of for example are formed with phosphorus ion implantation .

【0068】

ion insertion condition at time of this is for example dose  $2 \times 10^{13}$  atoms/cm<sup>2</sup>, insertion energy 40KeV .

Next, semiconductor region 8a1, 8a2 of p type MISFET which self was adjusted to field insulating film 3 and gate electrode 8b selectively is formed inside element-forming region 5n.

These semiconductor region of for example are formed with boron ion implantation .

ion insertion condition at time of this is for example dose  $2 \times 10^{13}$  atoms/cm<sup>2</sup>, insertion energy 45KeV .

【0069】

Next, as shown in Figure 6 , in side face of gate electrode 6b, 7b, 8b, and insulating film 9, sidewall 10 is formed.

Concretely, after forming SiO<sub>2</sub> film of thickness 100 [nm], sidewall 10A, 10B is formed by etching of anisotropy doing this SiO<sub>2</sub> film .

【0070】

After this , field insulating film 9 and \* semiconductor region 6A1, 6A2, 7A1, 7A2 which self was adjusted to sidewall 10A selectively is formed inside element-forming region 5p.

It possesses impurity concentration region where this semiconductor region 6A1, 6A2, 7A1, 7A2 is formed by impurity introduction method which includes phosphorus ion insertion and annealing , is deep in comparison with semiconductor region 6a1, 6a2, 7a1, 7a2 which was formed first, at same time is high.

In addition, semiconductor region 8A1, 8A2 which self was adjusted to field insulating film 3 and sidewall 10B selectively is formed inside element-forming region 5p.

It possesses impurity concentration region where this semiconductor region 8A1, 8A2 is formed by impurity introduction method which includes boron ion insertion and annealing , is deep in comparison with semiconductor region 8a1, 8a2 which was formed first, at same time is high.



なお、n 形を示す半導体領域 6A1、6A2、7A1、7A2 と、p 形を示す半導体領域 8A1、8A2 の形成のためのアニール処理は同時に行なわれる。

【0071】

次に、図 7 に示すように、半導体基板(メモリセル領域 M)の主面に、メモリセルを構成するフィン形のキャパシタ 11 を形成する。

このキャパシタの具体的形成方法の説明は省く。

また、このキャパシタ 11 は、本実施例では、3 枚のフィンを有するフィン形キャパシタを用いたが、これに限られるものではなく、クラウン形のキャパシタ等を適用しても良い。

【0072】

次に、図 8 に示すように、キャパシタ 11 が形成された半導体基板の上面に、絶縁膜(第 1 の絶縁膜)12 を形成する。

第 1 の絶縁膜 12 は、例えば SiO<sub>2</sub> 及び BPSG とから成る。

SiO<sub>2</sub> 膜は、100[nm] 程度の膜厚を有し、CVD(Chemical Vapor Deposition)法等によって堆積される。

このとき用いる反応ガスは、例えば SiH<sub>4</sub> と N<sub>2</sub>O との混合ガスである。

引き続き形成される BPSG(Boro-Phospho Silicate Glass)膜は、500[nm]程度の膜厚を有し、CVD 法等によって堆積される。

このとき用いる反応ガスは、例えば TEOS(Tetraethoxysilane)ガスにリン及びホウ素を添加した混合ガスである。

【0073】

次いで、メモリセル領域 M と周辺回路領域 A との間の前記絶縁膜 12 の急激な段差をなくす目的で、その絶縁膜の上面をなだらかにする。

そのために、例えば、半導体基板 1 をアニールして前記絶縁膜 12 をなだらかにした後、この絶縁膜 12 の表面をエッチバックする。

そして、再び半導体基板 1 をアニールする。

前記アニール処理は、例えば N<sub>2</sub> と O<sub>2</sub> との混合ガス中において行う。

8a1, 8a2 which was formed first, at same time is high.

Furthermore, annealing for forming semiconductor region 8A1, 8A2 which shows semiconductor region 6A1, 6A2, 7A1, 7A2 and p type which show n type is done simultaneously.

【0071】

As next, shown in Figure 7, in main surface of semiconductor substrate (memory cell region M), capacitor 11 of fin shape which configuration does memory cell is formed.

You exclude explanation of concrete formation method of this capacitor.

In addition, this capacitor 11 with this working example, used fin shape capacitor which possesses 3 fin, but it is not something which is limited to this, it is good applying capacitor etc of crown shape.

【0072】

As next, shown in Figure 8, in top of semiconductor substrate where capacitor 11 was formed, insulating film (first insulating film) 12 is formed.

first insulating film 12 consists of for example SiO<sub>2</sub> and BPSG.

SiO<sub>2</sub> film has film thickness of 100 [nm] extent, is accumulated with CVD (Chemical Vapor deposition) method etc.

reactive gas which at time of this is used is mixed gas of the for example SiH<sub>4</sub> and N<sub>2</sub>O.

BPSG (Boro-Phospho Silicate Glass) film which is formed continuously has film thickness of 500[nm] extent, is accumulated with CVD method etc.

reactive gas which at time of this is used is mixed gas which adds phosphorus and boron in for example TEOS (Tetraethoxysilane) gas.

【0073】

Next, sudden step of aforementioned insulating film 12 between memory cell region M and the peripheral circuit region A is lost and with objective, top of insulating film is made gentle.

Because of that, anneal doing for example semiconductor substrate 1, after making the aforementioned insulating film 12 gentle, etchback it does surface of this insulating film 12.

And, again semiconductor substrate 1 is done anneal.

It does aforementioned annealing, in in mixed gas of for example N<sub>2</sub> and the O<sub>2</sub>.

このようにして層間絶縁膜としての第 1 の絶縁膜 12 を形成する。

[0074]

次に、図 9 に示すように、前記第 1 の絶縁膜 12 に、メモセルを構成する nMOS6 の半導体領域 6A2 との接続孔 12a を形成する。

前記接続孔は、例えばフォトリソグラフィ技術及びエッチング技術によって形成される。

そして次に、前記接続孔 12a 内に例えば n 形の低抵抗ポリシリコンから成る導体膜 13 を埋め込む。

この導体膜 13 は、例えば以下のようにして形成される。

[0075]

まず、第 1 の絶縁膜 12 の上面に、例えば n 形の低抵抗ポリシリコンを CVD 法で堆積する。

このとき用いる反応ガスは、例えばシランガス ( $\text{SiH}_4$ ) とフォスフィン ( $\text{PH}_3$ ) との混合ガスである。

続いて、CVD 形成したポリシリコン膜をエッチバックし、接続孔 12a のみに導体膜、すなわちポリシリコン膜が残るようにして形成するものである。

[0076]

次に、図 10 に示すように、第 1 の絶縁膜 12 に、周辺回路を構成する nMOS7 の一方の半導体領域 7A2、及び pMOS8 の一方の半導体領域 8A1 との接続孔 12b を形成する。

この接続孔 12b は、例えばフォトリソグラフィ技術及びエッチング技術によって形成する。

[0077]

次に、図 11、及び図 12 に示すように、メモセル回路を構成するためのビット線 14B、及び周辺回路を構成するための第 1 の導体層 14 を形成する。

第 1 の導体層 14 は、本発明の特徴とする構成要素であり、以下のような方法によって形成される。

[0078]

まず、図 11 に示すように、接続孔 12b を有する第 1 の絶縁膜 12 の主面に、例えばチタ化チタン ( $\text{TiN}$ ) から成る金属膜 14a をイオンスパッタリング法により堆積する。

first insulating film 12 as interlayer insulating film this way is formed.

[0074]

As next, shown in Figure 9, in aforementioned first insulating film 12, coupling hole 12a of semiconductor region 6A2 of nMOS 6 which configuration does memory cell is formed.

Aforementioned coupling hole is formed with for example photolithography technology and etching technology.

And next, conductor film 13 which consists of low resistance polysilicon of for example n type inside aforementioned coupling hole 12a is imbedded.

this conductor film 13 is formed like below for example.

[0075]

First, in top of first insulating film 12, low resistance polysilicon of for example n type is accumulated with CVD method.

reactive gas which at time of this is used for example silane gas ( $\text{SiH}_4$ ) with the phosphine ( $\text{PH}_3$ ) with is mixed gas.

Consequently, in order CVD polysilicon film which was formed is done etchback, for conductor film, namely polysilicon film to remain in only coupling hole 12a, it is something which it forms.

[0076]

As next, shown in Figure 10, in first insulating film 12, semiconductor region 7A2, of one side of nMOS 7 which configuration does peripheral circuit and coupling hole 12b of semiconductor region 8A1 of one side of pMOS 8 are formed.

It forms this coupling hole 12b, with for example photolithography technology and etching technology.

[0077]

As next, shown in Figure 11, and Figure 12, bit line 14B, in order the configuration to do memory cell circuit and first conductor layer 14 in order configuration to do peripheral circuit are formed.

first conductor layer 14, with component which is made feature of this invention, like below is formed with method.

[0078]

First, as shown in Figure 11, in main surface of first insulating film 12 which possesses coupling hole 12b, metal film 14a which consists of for example titanium ( $\text{TiN}$ ) is accumulated with ion sputtering method.

若しくは、チタン(Ti)をイオンスパッタリング法により堆積し、窒素(N<sub>2</sub>)雰囲気中で熱処理をして TiN 膜 14a を形成する方法を用いても良い。

この方法を用いた場合、堆積した金属膜と半導体領域との接続部において、Ti が半導体領域に拡散し、コンタクト抵抗を低減することができる。

前記 TiN 膜 14a は、約 50[nm]程度の膜厚を有する。

次に、例えばタングステン(W)から成る金属膜 14b を形成する。

そのためにまず、W 膜をイオンスパッタリング法により堆積する。

そして、引き続き、CVD 法により W 膜を堆積する。

これらの W 膜はそれぞれ約 150[nm]程度の膜厚を有する。

前者のイオンスパッタリング法による W 膜は、接続孔 12b 内へのカバレッジを良好にした下地膜としての役目をなす。

【0079】

次に、本実施例においては、前記タングステン膜 14b の上に TiN から成る膜 14c を例えばイオンスパッタリング法により形成する。

この TiN 膜 14c は約 50[nm]程度の膜厚を有し、後述するように本発明の目的を達成するために形成されたものである。

すなわち、この TiN 膜 14 は反射防止膜としての機能を有する。

続いて、フォトリソをその上面に塗布し、フォトリソグラフィ技術によりフォトリソをパターンニングする。

【0080】

次に、図 12 に示すように、残されたフォトリソ R のパターンと整合するように、TiN 膜 14a、14c 及び W 膜 14b をドライエッチング法等によりパターンニングする。

TiN 膜及び W 膜は、段階的にエッチングしてもよいし、連続的にエッチングしてもよい。

例えば、TiN 膜と W 膜を段階的にエッチングする場合、まず TiN 膜を例えば BCl<sub>3</sub> と Cl<sub>2</sub> との混合ガスを用い、約 40[deg C]の雰囲気中でドライエッチングする。

Or, it accumulates titanium (Ti) with ion sputtering method, does thermal processing in the nitrogen (N<sub>2</sub>) atmosphere and making use of method which forms TiN film 14a it is good.

When this method is used, Ti scattering makes semiconductor region in the connection portion of metal film and semiconductor region which are accumulated, can decrease contact resistance.

Aforementioned TiN film 14a has film thickness of approximately 50 [nm] extent.

Next, metal film 14b which consists of for example tungsten (W) is formed.

First, W film is accumulated because of that with ion sputtering method.

W film is accumulated and, continuously, with CVD method.

These W film have film thickness of respective approximately 150 [nm] extent.

W film forms role as base film which makes coverage to inside coupling hole 12b satisfactory with ion sputtering method of former.

【0079】

Next, film 14c which consists of TiN on aforementioned tungsten film 14b regarding this working example, is formed with for example ion sputtering method.

As this TiN film 14c has film thickness of approximately 50 [nm] extent, mentioned later it is something which was formed in order to achieve objective of this invention.

namely, this TiN film 14 has function as antireflective film.

Consequently, photoresist application is designated as top, the photoresist patterning is done with photolithography technology.

【0080】

As next, shown in Figure 12, in order pattern of photoresist R which is left to adjust, TiN film 14a, 14c and W film 14b patterning is done dry etching method etc with.

TiN film and W film etching may make stepwise and, etching it is possible to make continuous.

When for example TiN film and W film etching it makes stepwise, first the TiN film dry etching is done in atmosphere of approximately 40 [deg C] making use of mixed gas of for example BCl<sub>3</sub> and Cl<sub>2</sub>.

そして、W 膜を例えば、 $\text{SF}_6$  と  $\text{N}_2$  との混合ガスを用いて、約  $-10 \sim -30$  [ deg C ] の雰囲気中でドライエッチングする。

一方、例えば、TiN 膜と W 膜を連続的にエッチングする場合、例えば  $\text{SF}_6$  と  $\text{BCl}_3$  との混合ガスを用いて、約  $10$  [ deg C ] の雰囲気中でドライエッチングする。

【0081】

次いで、フォトリソレジスト R のみをアッシングにより除去する。

以上のようにして、メモリセル回路を構成するためのビット線 14B を形成すると同時に、周辺回路を構成するための第 1 の導体層 14 が形成される。

【0082】

次に、図 13 に示すように、前記ビット線 14B 及び第 1 の導体層 14 の上面に層間絶縁膜(第 2 の絶縁膜)15 を形成する。

第 2 の絶縁膜 15 は例えば次のように形成される。

【0083】

まず、半導体基板上に、例えば  $\text{SiO}_2$  から成る絶縁膜 15a を CVD 法によって堆積する。

この膜厚は  $200$  [nm] である。

このとき用いる反応ガスは、例えば TEOS とヘリウム(He)と  $\text{O}_2$  との混合ガスである。

続いて絶縁膜 15a 上に、例えば SOG(Spin On Glass)膜 15b を塗布する。

この膜厚は  $300$  [nm] である。

その後、その 2 層構造の絶縁膜の上部をエッチバックすることにより、その上面をなだらかにする。

続いて、SOG 膜 15b の上面に、例えば  $\text{SiO}_2$  から成る絶縁膜 15c を CVD 法により堆積する。

この膜厚は  $200$  [nm] である。

このとき用いる反応ガスは、例えば TEOS と He と  $\text{O}_2$  との混合ガスである。

上層配線のパターニング精度向上のために、例えば、CMP 技術の採用により第 2 の絶縁膜 15 上面を平坦化する。

この CMP は SOG 膜 15b に対して行われる。

And, W film approximately  $-10 \sim -30$  [ deg C ] dry etching is done in atmosphere of  $30$  [ deg C ] making use of mixed gas of for example  $\text{SF}_6$  and  $\text{N}_2$ .

On one hand, when for example TiN film and W film etching it makes the continuous, dry etching it does in atmosphere of approximately  $10$  [ deg C ] making use of mixed gas of for example  $\text{SF}_6$  and  $\text{BCl}_3$ .

【0081】

Next, only photoresist R is removed with ashing.

Like above, when bit line 14B in order configuration to do memory cell circuit is formed simultaneously, first conductor layer 14 in order configuration to do peripheral circuit is formed.

【0082】

As next, shown in Figure 13, interlayer insulating film (second insulating film) 15 is formed in the aforementioned bit line 14B and top of first conductor layer 14.

second insulating film 15 is formed for example following way.

【0083】

First, on semiconductor substrate, insulating film 15a which consists of for example  $\text{SiO}_2$  is accumulated with CVD method.

this film thickness is  $200$  [nm].

reactive gas which at time of this is used for example TEOS and the helium (He) with is mixed gas of  $\text{O}_2$ .

Consequently on insulating film 15a, for example SOG (Spin On Glass) film 15b is done application.

this film thickness is  $300$  [nm].

After that, top is made gentle due to fact that 2-layer structure etchback do upper part of insulating film.

Consequently, in top of SOG film 15b, insulating film 15c which consists of for example  $\text{SiO}_2$  is accumulated with CVD method.

this film thickness is  $200$  [nm].

reactive gas which at time of this is used is of for example TEOS and mixed gas of He and  $\text{O}_2$ .

For patterning precision improvement of top layer wiring, second insulating film 15 top planarization is done with adoption of for example CMP technology.

this CMP is done vis-a-vis SOG film 15b.

このように平坦化を行った場合、上層配線のフォトリソグラフィーの精度向上、すなわち露光時のフォーカスマージンを向上し、さらにフォトレジストパターンの形状不良を防止する。

また、配線ピッチの微細化、信頼性の向上が図れる。

【0084】

次に、図 14 に示すように、第 2 の絶縁膜 15 に、第 1 の導体層 14 と第 2 の導体層と電気的接続を行うための接続孔 15d1, 15d2 を形成する。

そのため、第 2 の絶縁膜 15 上にフォトレジスト R を塗布し、フォトリソグラフィー技術を用いてパターンニングする。

そして、パターンニングされたフォトレジスト R をエッチングマスクに、ドライエッチング法によりメモリセル領域 M 及び周辺回路領域 A に位置した第 2 の絶縁膜 15 をエッチングし、接続孔 15d1、15d2 を同時に形成する。

エッチングガスとしては、例えば  $\text{CF}_4$  と  $\text{CHF}_3$  と Ar との混合ガスが用いられる。

【0085】

次に、図 15、及び図 16 に示すように、第 2 の導体層 16 を形成する。

図 15 に示すように、第 2 の導体層 16 は、例えば下方から順に、タングステン(W)膜 16a、アルミニウム(Al)膜 16b、そして最上面はチタニウム(TiN)膜 16c から成り、以下のような方法で形成される。

【0086】

まず、例えば、タングステン(W)から成る金属膜 16a を形成する。

前記第 2 の絶縁膜 15 に設けられた接続孔内における金属膜のカバレッジ向上のために、この金属膜 16a は、イオンスパッタリング法により堆積される。

この膜厚は、約 50[nm]程度である。

続いて、W 膜を CVD 法により堆積する。

この膜厚は約 100[nm]程度である。

次に、例えば Al から成る金属膜 16b を CVD 法により堆積する。

この膜厚は、約 400[nm]程度である。

次に、第 1 の導体膜と同様の目的で、反射防止膜として、例えば TiN から成る金属膜 16c をイオ

this way when planarization was done, focus margin at time of precision improvement namely exposure of photolithography of top layer wiring it improves, furthermore prevents shape deficiency of photoresist pattern .

In addition, it can assure improvement of narrowing , reliability of metallization pitch .

【0084】

As next, shown in Figure 14 , in second insulating film 15, coupling hole 15d1, 15d2 in order to do first conductor layer 14 and second conductor layer and electrical connection is formed.

Because of that, application it does photoresist R on second insulating film 15, patterning it does making use of photolithography technology .

And, photoresist R which patterning is done in etching mask , it is to be inposition of memory cell region M and peripheral circuit region A with dry etching method etching to do the second insulating film 15, coupling hole 15d1, 15d2 is formed simultaneously.

As etching gas , it can use of for example  $\text{CF}_4$  and mixed gas of  $\text{CHF}_3$  and Ar.

【0085】

As next, shown in Figure 15 , and Figure 16 , second conductor layer 16 is formed.

As shown in Figure 15 , as for second conductor layer 16, as for tungsten (W ) film 16a, aluminum (Al ) film 16b, and top surface it consists of [chitsu ] conversion titanium (TiN ) film 16c from for example lower in order, like below is formed with method .

【0086】

First, metal film 16a which consists of for example tungsten (W ) is formed.

For coverage improvement of metal film inside coupling hole which is provided in aforementioned second insulating film 15, this metal film 16a is accumulated by ion sputtering method .

this film thickness is approximately 50 [nm ] extent .

Consequently, W film is accumulated with CVD method .

this film thickness is approximately 100 [nm ] extent .

Next, metal film 16b which consists of for example Al is accumulated with the CVD method .

this film thickness is approximately 400 [nm ] extent .

Next, with objective which is similar to first conductor film , metal film 16c which consists of for example TiN as

ンスパッタリング法により堆積する。

この膜厚は、約 50[nm]程度である。

そして、図 16 に示すように、第 1 の導体層 15 のパターニングと同様のフォトリソグラフィー及びエッチング技術を用い、第 2 の導体層 16 を形成する。

次に、図 17 に示すように、前記第 2 の導体層 16 の上面に絶縁膜(第 3 の絶縁膜)17 を形成する。

この第 3 の絶縁膜 17 は、第 2 の絶縁膜 15 と同様に形成され、SiO<sub>2</sub>/SOG/SiO<sub>2</sub>(17a, 17b, 17c)の重ね膜から成る。

なお、ここでは、すでに第 2 の絶縁膜に CMP を施すことにより、半導体基板主面の平坦化がされているので、第 3 の絶縁膜には CMP を施さなくてもよい。

次に、図示していないが、この第 3 の絶縁膜 17 に、第 2 の導体層 16 との接続孔を形成する。

この接続孔は例えば前記第 1 の導体層 14 と第 2 の導体層 16 との接続孔と同様に形成される。

【0087】

次に、図 18 に示すように、第 3 の導体層 18 を形成する。

第 3 の導体層 18 は、例えば第 2 の導体層 16 と同様にして形成される。

【0088】

そして図 19 に示すように、半導体基板の上面に第 3 の導体層 18 を被覆するように、表面保護膜 19 を形成する。

この表面保護膜 19 は例えば、約 600[nm]程度の膜厚を有する SiO<sub>2</sub> から成り、CVD 法によって堆積する。

反応ガスは、例えば TEOS と He と O<sub>2</sub> との混合ガスである。

【0089】

以上が、本発明の半導体集積回路装置の製造方法の具体的一実施例である。

本実施例においては、第 1 の導体層 14(及びビット線 14B)を構成する W 膜 14b の上面が TiN 膜 14c で被覆されている。

antireflective film, is accumulated with ion sputtering method.

this film thickness is approximately 50 [nm] extent.

As and, shown in Figure 16, second conductor layer 16 is formed making use of the photolithography and etching technology which are similar to patterning of first conductor layer 15.

Next, it shows in figure 17, shows, appearance top edge insulating film 33rd edge insulating film 7 of aforementioned 2nd second conductor layer is formed.

insulating film 17 of this 3rd is formed in same way as second insulating film 15, consists of pile film of SiO<sub>2</sub>/SOG/SiO<sub>2</sub> (17 a, 17b, 17c).

Furthermore, because here, planarization of semiconductor substrate main surface is done by already administering CMP to second insulating film, it is not necessary to insulating film of 3 rd CMP to administer.

Next, it has not illustrated. In insulating film 17 of this 3rd, coupling hole of second conductor layer 16 is formed.

this coupling hole is formed in same way as for example aforementioned first conductor layer 14 and coupling hole of second conductor layer 16.

【0087】

As next, shown in Figure 18, conductor layer 18 of 3 rd is formed.

conductor layer 18 of 3 rd is formed in same way as for example second conductor layer 16.

【0088】

As and shown in Figure 19, in order sheath to do conductor layer 18 of 3 rd in top of semiconductor substrate, surface protection film 19 is formed.

this surface protection film 19 it consists of SiO<sub>2</sub> which possesses film thickness of the for example approximately 600 [nm] extent, accumulates with CVD method.

reactive gas is of for example TEOS and mixed gas of He and O<sub>2</sub>.

【0089】

Or more, is concrete one Working Example of manufacturing method of semiconductor integrated circuitry device of this invention.

Regarding this working example, top of W film 14b which first conductor layer 14 (And bit line 14B) the configuration is done being TiN film 14c, sheath it is done.

これによって図 12 に示した第 1 の導体層 14 パターニング時、次のような作用効果が得られる。

【0090】

発明者等は、BARC 膜と TiN 反射防止膜との比較を行った。

その結果を図 20 に示す。

以下、図 20 に示した比較データに基づいて本発明の作用効果を説明する。

【0091】

第 1 に、TiN の反射率は 30% と、タングステンの反射率 60% に比較して低い。

このため、フォトレジスト露光(投影露光)時のハレーションの防止、すなわち、レジストの下地膜(第 1 の導体層 14)の段差(凹凸)があっても、その下地膜表面は反射率の低い TiN 膜で構成されているため、乱反射による定在波を低減することができる。

そしてさらに、フォーカスマージンの向上に寄与する。

つまり、レジスト膜厚バラツキに対するエッチングバラツキの許容範囲が拡大される。

よって、図 21(a) に示すフォトレジスト R の加工精度が向上する。

なお、図 21 中、下地導体膜の TiN 膜(14a)は省略されている。

【0092】

第 2 に、フォトレジストに対する TiN のエッチング選択比は約 4 と、従来の BARC 膜のエッチング選択比の約 1 に比べ高い。

また、TiN のエッチング時間は約 10 秒と、従来の BARC 膜加工時間の約 180 秒に比べ短い。

よって、図 21(b) に示す TiN 膜エッチング時に、フォトレジストの寸法シフト及びレジストロスが小さく、TiN 膜 14c のパターニング精度が向上する。

また、加工時間が短いため、スループットが向上する。

【0093】

第 3 に、タングステンに対する TiN のエッチング選択比は約 5 と、フォトレジスト(BARC 膜)のエッチング選択比約 2 に比べ高い。

よって、図 21(c) に示すように、タングステン膜

At time of first conductor layer 14 patterning which now is shown in Figure 12, next kind of acting effect is acquired.

【0090】

inventor etc compared with BARC film and TiN antireflective film.

Result is shown in Figure 20.

acting effect of this invention is explained below, on basis of the relative data which is shown in Figure 20.

【0091】

In 1 st, reflectivity of TiN is low 30%, by comparison with the reflectivity 60% of tungsten.

Because of this, there being a step (relief) of base film (first conductor layer 14) of prevention and namely, resist of halation at time of photoresist exposure (projection exposure), base film surface because configuration it is done with TiN film where reflectivity is low, can decrease standing wave with diffuse reflectance.

And furthermore, it contributes to improvement of focus margin.

In other words, tolerance of etching variation for resist film thickness variation is expanded.

Depending, fabrication precision of photoresist R which it shows in Figure 21 (a) improves.

Furthermore, in Figure 21, TiN film (14 a) of substrate conductor film is abbreviated.

【0092】

In 2 nd, selected etching ratio of TiN for photoresist is high approximately in comparison with approximately 1 of selected etching ratio of 4 and conventional BARC film.

In addition, etching time of TiN is short in comparison with approximately 10 second and approximately 180 second of conventional BARC film fabrication time.

Depending, at time of TiN film etching which it shows in Figure 21 (b), dimension shift and [rejisutorosu] of photoresist are small, patterning precision of TiN film 14c improves.

In addition, because fabrication time is short, throughput improves.

【0093】

In 3 rd, selected etching ratio of TiN for tungsten is high approximately selected etching ratio of 5 and photoresist (BARC film) approximately in comparison with 2.

Depending, as shown in Figure 21 (c), because photoresist R

14b のエッチングマスクとなるフォトリソ R 及び TiN 膜 14c の削れ S が生じないため、第 1 の導体膜 14 のパターンニング精度が向上する。

【0094】

また第 4 に、特に W 膜 14b と TiN 膜 14c とを連続的に加工した場合は、1 台の装置で加工が可能のため、スループットの向上、さらに、例えばプラズマエッチングの場合、TiN 膜エッチングから、W 膜エッチング移行時に、発生させたプラズマを切ることがないため、プラズマ中に浮遊する異物が半導体基板に降り注ぐことがなく、異物の低減という効果も得られる。

【0095】

さらに、本実施例では、第 1 の導体層 14 の上面が TiN 膜 14c で構成されているので、第 2 の絶縁膜 15 エッチング時に次のような効果が得られる。

この効果を示した模式図を図 22 に示す。

【0096】

第 1 に、図 22 に示すように、TiN 膜 14c に対する絶縁膜のエッチング選択比が高いので、孔底部に露出させる第 1 の導体層 14 を過剰に削ることがない。

すなわち、TiN 膜 14c がエッチングストップとして役目を果たす。

【0097】

第 2 に、図 22 に示すように、孔底部に露出した TiN とエッチングガスが反応してチッ素化合物 50 を生成し、このチッ素化合物 50 が側壁に付着して側壁を保護するため、接続孔の孔径 d1 が過剰に広がらない。

【0098】

第 3 に、接続孔の開口部 d1 が広がらないため、配線接続孔 51 と上層配線 16 との合わせ余裕 11 が、設計段階 1 と変わらずにとれる。

【0099】

ところで、本実施例のように前記第 1 の絶縁膜 12 が平坦化されている場合、メモリセル領域 M と、周辺回路領域 A では、接続孔のアスペクト比が異なる。

このアスペクト比の異なる接続孔を同時エッチングにより形成する場合、アスペクト比の高い孔の開口を確保しつつ、アスペクト比の低い孔の

and TiN film 14c which become etching mask of tungsten film 14b shaves S does not occur, patterning precision of first conductor film 14 improves.

【0094】

In addition when in 4 th, especially W film 14b and TiN film 14c is processed in continuous, because processing is possible with device of 1, when improvement of throughput, furthermore, it is a for example plasma etching, because from TiN film etching, at time of W film etching movement, there are not times when plasma which occurs is cut, there are not times when the foreign matter which floats in plasma falls in semiconductor substrate, Also effect, decrease of foreign matter is acquired.

【0095】

Furthermore, because with this working example, top of first conductor layer 14 being the TiN film 14c, configuration it is done, next kind of effect is acquired at time of second insulating film 15 etching.

schematic diagram which shows this effect is shown in Figure 22.

【0096】

As in 1 st, shown in Figure 22, because selected etching ratio of insulating film for TiN film 14c is high, there are not times when first conductor layer 14 which is exposed in hole bottom section is shaved in excess.

namely, TiN film 14c role is carried out as etching stopper.

【0097】

As in 2 nd, shown in Figure 22, TiN and etching gas which are exposed in hole bottom section reacting, nitrogen compound 50 is formed, this nitrogen compound 50 deposits in sidewall and in order to protect sidewall, hole diameter d1 of coupling hole does not spread to excess.

【0098】

Because opening d1 of coupling hole does not spread to 3 rd, adjusting room 11 of wiring coupling hole 51 and top layer metallization 16, differing from design step 1 it comes off.

【0099】

By way, like this working example, when aforementioned first insulating film 12 planarization is done, in memory cell region M and peripheral circuit region A, aspect ratio of coupling hole differs.

While coupling hole where this aspect ratio differs when is formed with the simultaneous etching, guaranteeing aperture of hole where aspect ratio is high, it had become problem to



過剰開口を抑制することが課題となっていた。

本実施例では、接続する導体層の上部が TiN で構成されているため、上記のような理由で、この課題を解決することが出来る。

すなわち、接続孔の側壁を保護し、その接続孔の過剰エッチングを抑制することが出来る。

この効果を示した模式図を図 23(a)に示す。

すなわち、接続孔の側壁を保護し、その接続孔の過剰エッチングを抑制することができる。

したがって、本実施例では、アスペクト比の異なる接続孔を同時エッチング処理によって形成することができ、製造工程の増加を防ぐことができる。

#### 【0100】

なお、上述の作用効果は、アルミニウム(Al)の如き TiN, W, Mo よりも低抵抗率を有する金属膜から成る第2の導体層及び第3の導体層においても同様に達成し得るものである。

#### 【0101】

##### 【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明する。

#### 【0102】

1) 高融点金属等から成る導体膜、及び接続孔パターニング時の、フォトリソグラフィ精度を向上することができる。

#### 【0103】

2) 高融点金属等から成る導体膜の加工精度を上げることができる。

#### 【0104】

3) アスペクト比の異なる接続孔形成時において、アスペクト比の高い孔の開口性の確保しつつ、アスペクト比の低い孔の下地膜削れ、及び側壁削れを抑制することができる。

すなわち、アスペクト比の高い孔の孔底部において、下層部材を露出させる程度にエッチングを加えても、アスペクト比の低い孔の孔底部の過剰エッチング、及び側壁削れを防止できる。

#### 【0105】

control excess aperture of hole where aspect ratio is low.

With this working example, upper part of conductor layer which is connected being the TiN, because configuration it is done, as description above in reason, it is possible to solve this problem.

It protects sidewall of namely, coupling hole, can control excess etching of the coupling hole.

schematic diagram which shows this effect is shown in Figure 23 (a).

sidewall of namely, coupling hole can be protected, excess etching of coupling hole can be controlled.

Therefore, with this working example, it is possible, to form coupling hole where the aspect ratio differs with simultaneous etching treatment it is possible to prevent increase of production step.

#### 【0100】

Furthermore, above-mentioned acting effect is something which it can achieve in same way regarding conductor layer of second conductor layer and 3rd which consist of metal film which possesses low-resistivity in comparison with TiN, W, Mo like aluminum (Al).

#### 【0101】

##### 【Effects of the Invention】

Among inventions which are disclosed with this application, effect which is acquired with representative ones is explained simply.

#### 【0102】

1) photolithography precision at time of conductor film, and coupling hole patterning which consist of high melting point metal etc it can improve.

#### 【0103】

2) It is possible to increase fabrication precision of conductor film which consist of high melting point metal etc.

#### 【0104】

3) While opening property of hole where aspect ratio is high in time of connecting hole formation where aspect ratio differs, guaranteeing, base film of hole where aspect ratio is low shave, and sidewall shave you can control.

Including etching, excess etching, and sidewall of hole bottom section of hole where aspect ratio is low shave it can prevent in extent which exposes bottom layer material in hole bottom section of hole where namely, aspect ratio is high.

#### 【0105】

4)高融点金属から成る導体膜、及び接続孔の寸法加工精度を向上し、接続孔と上層導体膜との合わせ余裕を向上することができる。

【0106】

5)アスペクト比の異なる接続膜の絶縁膜を同時エッチングによって形成でき、製造工程の大幅な増加を防ぐことができる。

【図面の簡単な説明】

【図1】

本発明の一実施例である半導体集積回路装置の要部断面図である。

【図2】

図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図3】

図2に続く図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図4】

図3に続く図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図5】

図4に続く図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図6】

図5に続く図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図7】

図6に続く図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図8】

図7に続く図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図9】

4) dimension fabrication precision of conductor film , and coupling hole which consist of high melting point metal it can improve, adjusting room of coupling hole and top layer conductor film can improve.

【0106】

5) Be able to form insulating film of connected film where aspect ratio differs with simultaneous etching , it is possible to prevent the large increase of production step .

[Brief Explanation of the Drawing(s)]

[Figure 1]

It is a principal part sectional view of semiconductor integrated circuitry device which is a one Working Example of the this invention .

[Figure 2]

It is a principal part sectional view of semiconductor substrate in in production step of semiconductor integrated circuitry device of Figure 1 .

[Figure 3]

It is a principal part sectional view of semiconductor substrate in in production step of semiconductor integrated circuitry device of Figure 1 which follows Figure 2 .

[Figure 4]

It is a principal part sectional view of semiconductor substrate in in production step of semiconductor integrated circuitry device of Figure 1 which follows Figure 3 .

[Figure 5]

It is a principal part sectional view of semiconductor substrate in in production step of semiconductor integrated circuitry device of Figure 1 which follows Figure 4 .

[Figure 6]

It is a principal part sectional view of semiconductor substrate in in production step of semiconductor integrated circuitry device of Figure 1 which follows Figure 5 .

[Figure 7]

It is a principal part sectional view of semiconductor substrate in in production step of semiconductor integrated circuitry device of Figure 1 which follows Figure 6 .

[Figure 8]

It is a principal part sectional view of semiconductor substrate in in production step of semiconductor integrated circuitry device of Figure 1 which follows Figure 7 .

[Figure 9]

図 8 に続く図 1 の半導体集積回路装置の製造工程における半導体基板の要部断面図である。

【図10】

図 9 に続く図 1 の半導体集積回路装置の製造工程における半導体基板の要部断面図である。

【図11】

図 10 に続く図 1 の半導体集積回路装置の製造工程における半導体基板の要部断面図である。

【図12】

図 11 に続く図 1 の半導体集積回路装置の製造工程における半導体基板の要部断面図である。

【図13】

図 12 に続く図 1 の半導体集積回路装置の製造工程における半導体基板の要部断面図である。

【図14】

図 13 に続く図 1 の半導体集積回路装置の製造工程における半導体基板の要部断面図である。

【図15】

図 14 に続く図 1 の半導体集積回路装置の製造工程における半導体基板の要部断面図である。

【図16】

図 15 に続く図 1 の半導体集積回路装置の製造工程における半導体基板の要部断面図である。

【図17】

図 16 に続く図 1 の半導体集積回路装置の製造工程における半導体基板の要部断面図である。

【図18】

図 17 に続く図 1 の半導体集積回路装置の製造工程における半導体基板の要部断面図である。

【図19】

図 18 に続く図 1 の半導体集積回路装置の製造工程における半導体基板の要部断面図である。

It is a principal part sectional view of semiconductor substrate in in production step of semiconductor integrated circuitry device of Figure 1 which follows Figure 8 .

[Figure 10]

It is a principal part sectional view of semiconductor substrate in in production step of semiconductor integrated circuitry device of Figure 1 which follows Figure 9 .

[Figure 11]

It is a principal part sectional view of semiconductor substrate in in production step of semiconductor integrated circuitry device of Figure 1 which follows Figure 10 .

[Figure 12]

It is a principal part sectional view of semiconductor substrate in in production step of semiconductor integrated circuitry device of Figure 1 which follows Figure 11 .

[Figure 13]

It is a principal part sectional view of semiconductor substrate in in production step of semiconductor integrated circuitry device of Figure 1 which follows Figure 12 .

[Figure 14]

It is a principal part sectional view of semiconductor substrate in in production step of semiconductor integrated circuitry device of Figure 1 which follows Figure 13 .

[Figure 15]

It is a principal part sectional view of semiconductor substrate in in production step of semiconductor integrated circuitry device of Figure 1 which follows Figure 14 .

[Figure 16]

It is a principal part sectional view of semiconductor substrate in in production step of semiconductor integrated circuitry device of Figure 1 which follows Figure 15 .

[Figure 17]

It is a principal part sectional view of semiconductor substrate in in production step of semiconductor integrated circuitry device of Figure 1 which follows Figure 16 .

[Figure 18]

It is a principal part sectional view of semiconductor substrate in in production step of semiconductor integrated circuitry device of Figure 1 which follows Figure 17 .

[Figure 19]

It is a principal part sectional view of semiconductor substrate in in production step of semiconductor integrated circuitry

る。

【図20】

従来使用された BRAC 膜と本発明の TiN 反射防止膜の比較を示す比較図である。

【図21】

(a)~(c)は本発明を適用した場合の、導体層のエッチングのメカニズムを示す断面図である。

【図22】

本発明を適用した場合の、接続孔と上層配線との合わせ余裕に関する模式図及びその断面図。

【図23】

本発明を適用した場合の、アスペクト比の異なる接続孔が層間絶縁膜に形成された半導体集積回路装置の要部断面図。

【図24】

(a)~(c)は従来方法における導体層のエッチングのメカニズムを示す断面図である。

【図25】

従来の技術を適用した場合の、アスペクト比の異なる接続孔が層間絶縁膜に形成された半導体集積回路装置の要部断面図。

【図26】

設計段階における接続孔と上層配線との合わせ余裕に関する模式図。

【図27】

従来の技術を適用した場合の、接続孔と上層配線との合わせ余裕に関する模式図及びその断面図。

【符号の説明】

1

設計段階の接続孔と上層配線との合わせ余裕

10

サイドウォール

11

キャパシタ

device of Figure 1 which follows Figure 18 .

【Figure 20】

It is a relative figure which shows comparison of TiN antireflective film of the BRACfilm and this invention which are used until recently.

【Figure 21】

(a) - (c) is sectional view which shows, mechanism of etching of the conductor layer when this invention is applied.

【Figure 22】

schematic diagram and its sectional view . regarding, adjusting room of coupling hole and top layer wiring when this invention is applied

【Figure 23】

Principal part sectional view . of semiconductor integrated circuitry device where coupling hole where, aspect ratio when this invention is applied differs was formed to interlayer insulating film

【Figure 24】

(a) - As for (c) it is a sectional view which shows mechanism of etching of conductor layer until recently in method .

【Figure 25】

Principal part sectional view . of semiconductor integrated circuitry device where coupling hole where, aspect ratio when Prior Art is applied differs was formed to interlayer insulating film

【Figure 26】

schematic diagram . regarding adjusting room of coupling hole and top layer wiring in design step

【Figure 27】

schematic diagram and its sectional view . regarding, adjusting room of coupling hole and top layer wiring when Prior Art is applied

[Explanation of Symbols in Drawings]

1

Adjusting room of coupling hole and top layer wiring of..design step

10

sidewall

11

capacitor

11

本発明を適用した場合の接続孔と上層配線との合わせ余裕

11a1

キャパシタ用電極

11a2

キャパシタ用電極

11b

キャパシタ用絶縁膜

12

第1の絶縁膜

12

従来の技術を適用した場合の接続孔と上層配線との合わせ余裕

12a

第1の絶縁膜の接続孔

12b

第1の絶縁膜の接続孔

13

導体膜

14

第1の導体層

14a

金属膜

14c.

金属膜

15

第2の絶縁膜

15a

絶縁膜

15c.

絶縁膜

15d

第2の絶縁膜の接続孔

15d1

第2の絶縁膜の接続孔

11

Adjusting room of coupling hole and top layer wiring when the this invention is applied

11a1

electrode for capacitor

11a2

electrode for capacitor

11b

insulating film for capacitor

12

first insulating film

12

Adjusting room of coupling hole and top layer wiring when the Prior Art is applied

12a

coupling hole of first insulating film

12b

coupling hole of first insulating film

13

conductor film

14

first conductor layer

14a

metal film

14c.

metal film

15

second insulating film

15a

insulating film

15c.

insulating film

15d

coupling hole of second insulating film

15d1

coupling hole of second insulating film

15d2	15d2
.第2の絶縁膜の接続孔	coupling hole of second insulating film
16	16
.第2の導体層	.second conductor layer
16a	16a
金属膜	metal film
16c..	16c..
金属膜	metal film
17	17
.第3の絶縁膜	.insulating film of 3 rd
17a	17a
絶縁膜	insulating film
17c..	17c..
絶縁膜	insulating film
18	18
第2の導体層	second conductor layer
18a	18a
金属膜	metal film
18c..	18c..
金属膜	metal film
19	19
.表面保護膜	.surface protection film
2n	2n
.n ウェル	.nwell
2p	2p
.p ウェル	.pwell
3	3
..フィールド絶縁膜	..field insulating film
4n	4n
.n 形チャンネルストップパ層	.n type channel stop layer
4p	4p
.p 形チャンネルストップパ層	.p type channel stop layer
50	50
.窒素化合物	.nitrogen compound
51	51

接続孔	coupling hole
52a	52a
従来の W で構成された第 1 の導体層	With the conventional W configuration first conductor layer which is done
52b	52b
従来の W で構成された第 1 の導体層	With the conventional W configuration first conductor layer which is done
52c	52c
第 1 の導体層の過剰エッチング部	excess etching part of first conductor layer
5n	5n
n 形半導体領域	n type semiconductor region
5p	5p
p 形半導体領域	p type semiconductor region
6	6
メモリセル領域に形成された nMOS	nMOS which was formed to the memory cell region
6A1	6A1
n 形高濃度半導体領域	n type high concentration semiconductor region
6A2	6A2
n 形高濃度半導体領域	n type high concentration semiconductor region
6a1	6a1
n 形低濃度半導体領域	n type low concentration semiconductor region
6a2	6a2
n 形低濃度半導体領域	n type low concentration semiconductor region
6b	6b
ゲート電極	gate electrode
6c	6c
ゲート絶縁膜	gate insulating film
7	7
周辺回路領域に形成された nMOS	nMOS which was formed to the peripheral circuit region
7A1	7A1
n 形高濃度半導体領域	n type high concentration semiconductor region
7A2	7A2
n 形高濃度半導体領域	n type high concentration semiconductor region
7a1	7a1
n 形低濃度半導体領域	n type low concentration semiconductor region
7a2	7a2

..n 形低濃度半導体領域	..n type low concentration semiconductor region
7b	7b
.ゲート電極	.gate electrode
7c	7c
.ゲート絶縁膜	.gate insulating film
8	8
..周辺回路領域に形成された pMOS	pMOS which was formed to the..peripheral circuit region
8A1	8A1
.p 形高濃度半導体領域	.p type high concentration semiconductor region
8A2	8A2
.p 形高濃度半導体領域	.p type high concentration semiconductor region
8a1	8a1
.p 形低濃度半導体領域	.p type low concentration semiconductor region
8a2	8a2
.p 形低濃度半導体領域	.p type low concentration semiconductor region
8b	8b
.ゲート電極	.gate electrode
8c	8c
.ゲート絶縁膜	.gate insulating film
9	9
..絶縁膜	..insulating film
A	A
..周辺回路領域	..peripheral circuit region
E	E
..従来の W で構成された第 1 の導体層の肩部 削れ	shoulder of first conductor layer which configuration is done shave with the..conventional W
M	M
..メモリセル領域	..memory cell region
R	R
..フォトリソ(マスク)	..photoresist (mask )
S	S
..本発明の上層が TiN で構成された第 1 の導体 層の肩部削れ	top layer of the..this invention being TiN , shoulder of first conductor layer which configuration is done shave
d	d
..設計段階の接続孔開口径	coupling hole mouth diameter of..design step
d1	d1



本発明を適用した場合の接続孔開口径

coupling hole mouth diameter when the this invention is applied

d2

d2

従来の技術を適用した場合の接続孔開口径

coupling hole mouth diameter when the Prior Art is applied

1

1

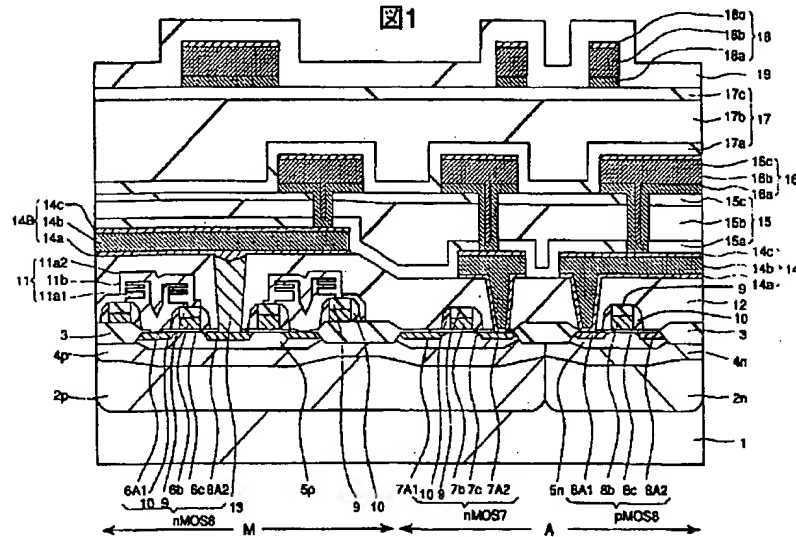
..半導体基板

..semiconductor substrate

# Drawings

【図1】

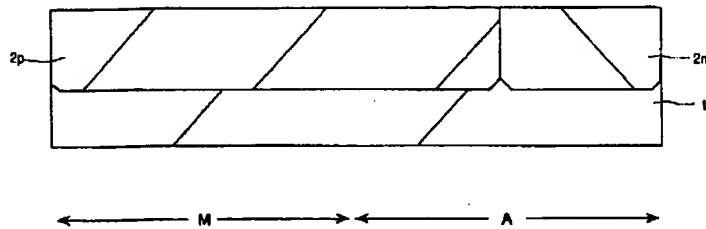
[Figure 1]



【図2】

[Figure 2]

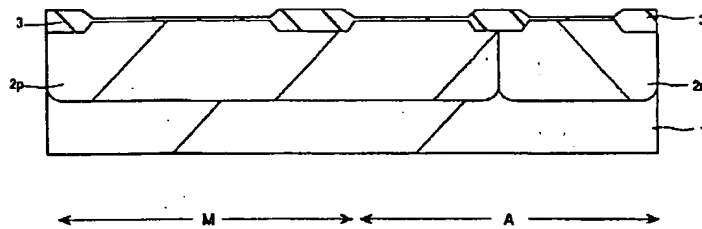
図2



【図3】

[Figure 3]

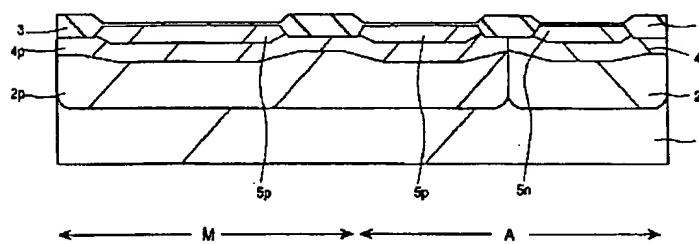
図3



【図4】

[Figure 4]

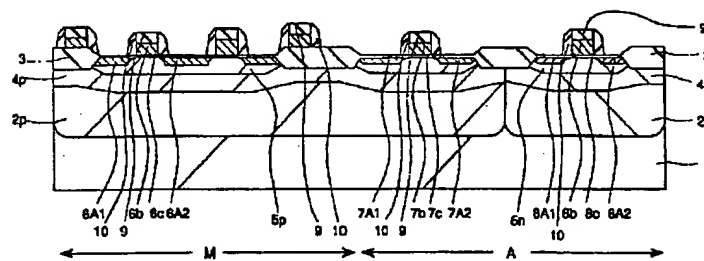
図4



【図6】

[Figure 6]

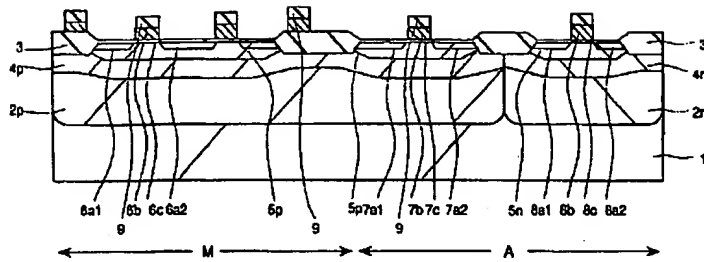
図6



【図5】

[Figure 5]

図5



【図7】

[Figure 7]

図7

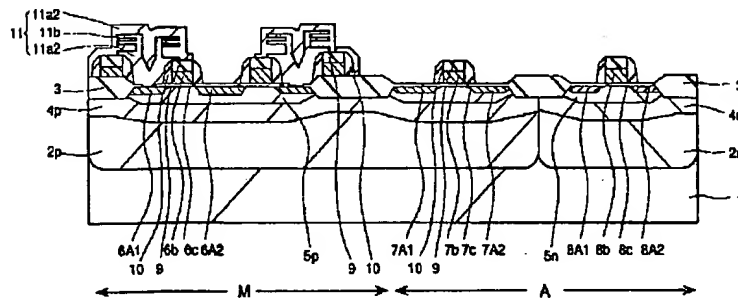
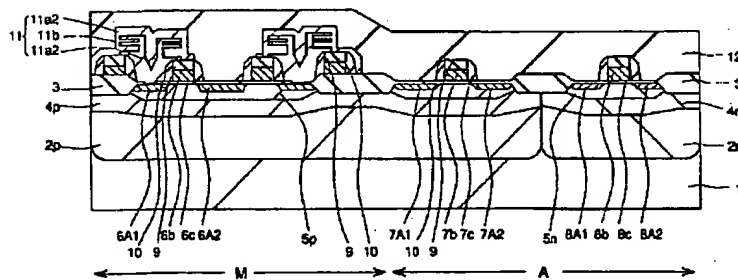


図8

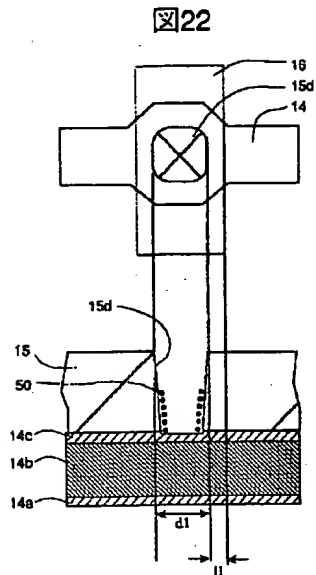


【図8】

[Figure 8]

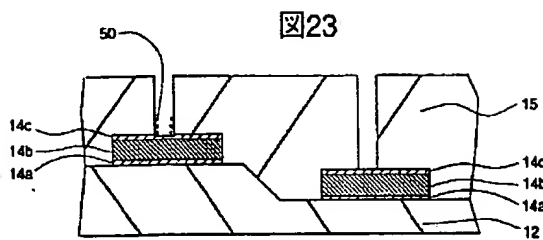
【図22】

[Figure 22 ]



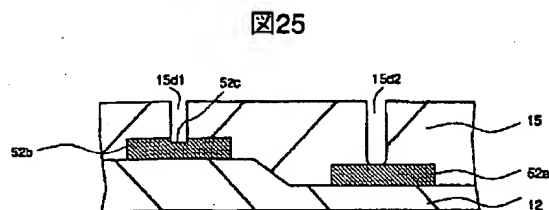
【図23】

【Figure 23 】



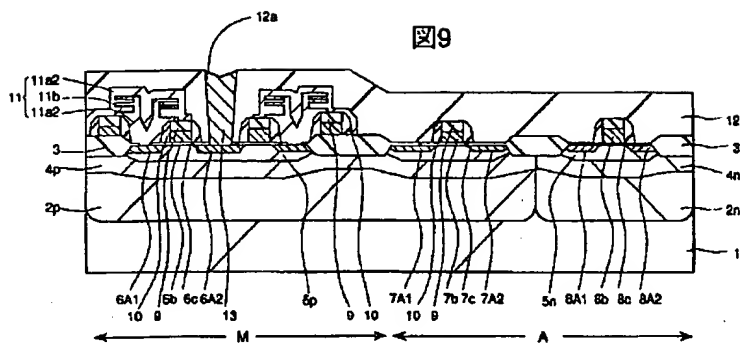
【図25】

【Figure 25 】



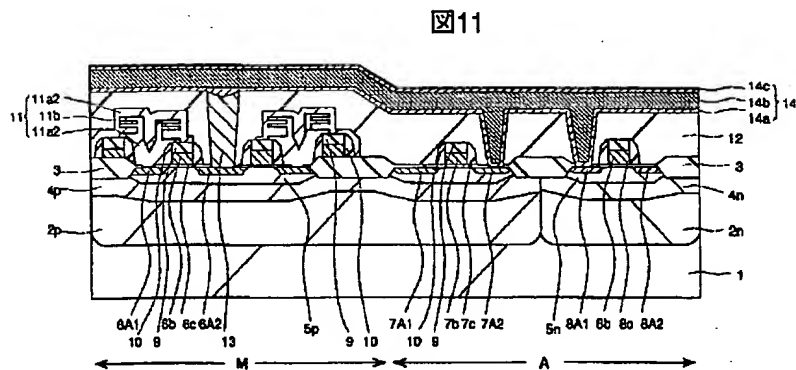
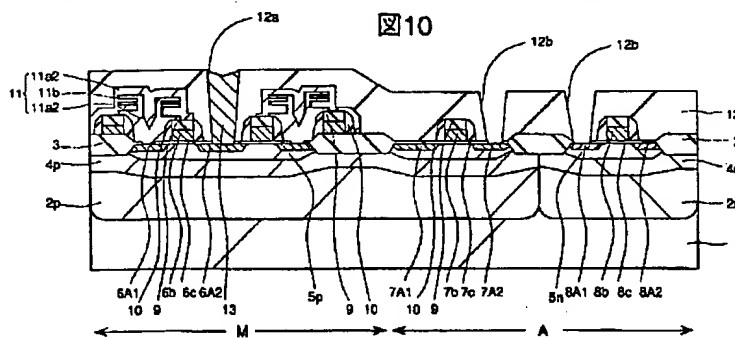
【図9】

【Figure 9】



【图10】

[Figure 10]



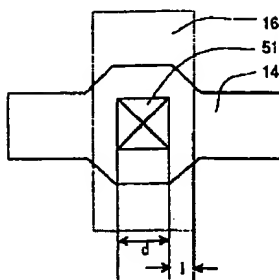
【図11】

[Figure 11]

【図26】

【Figure 26】

図26



【図12】

[Figure 12]

図12

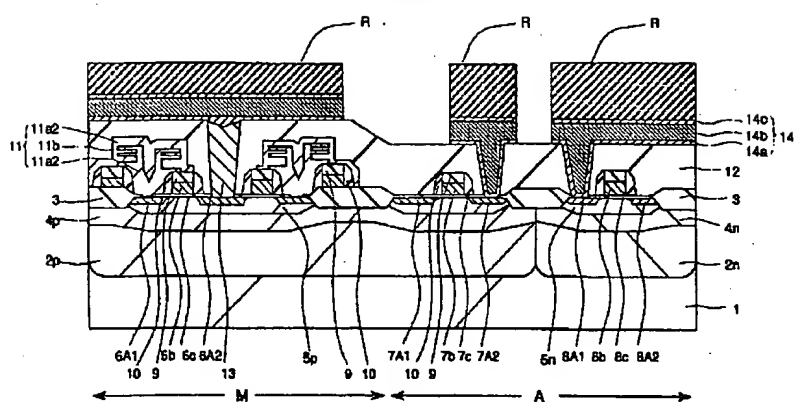
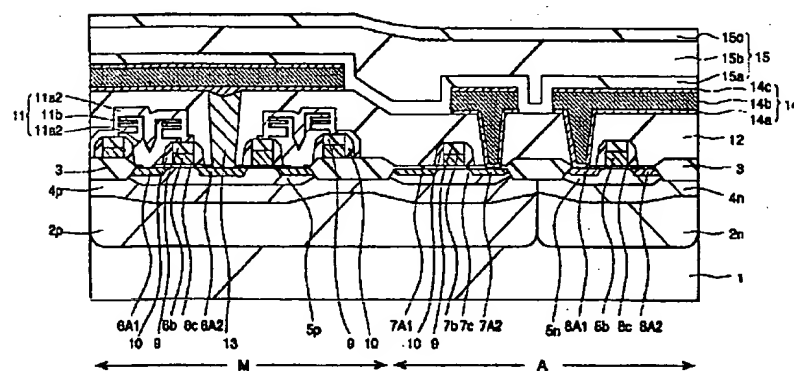


図13



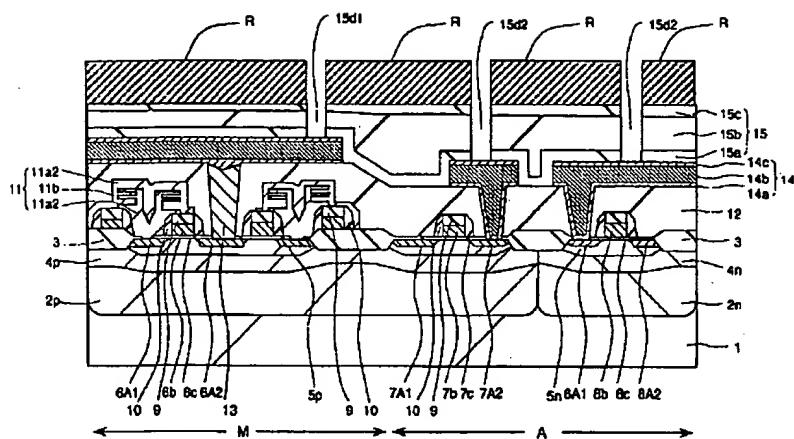
【図13】

[Figure 13]

【図14】

[Figure 14]

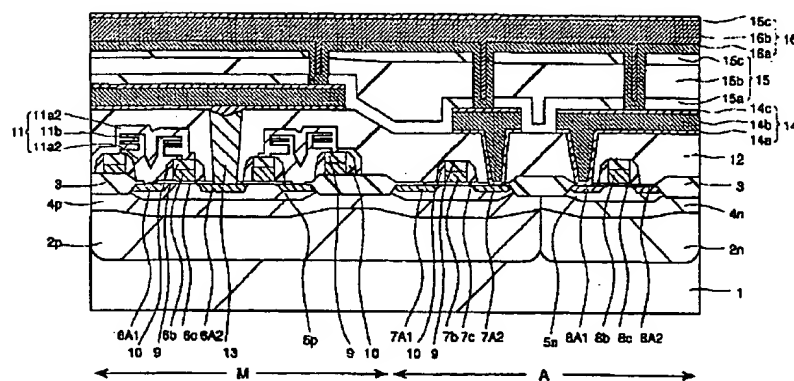
图14



【図15】

[Figure 15]

图15



【图16】

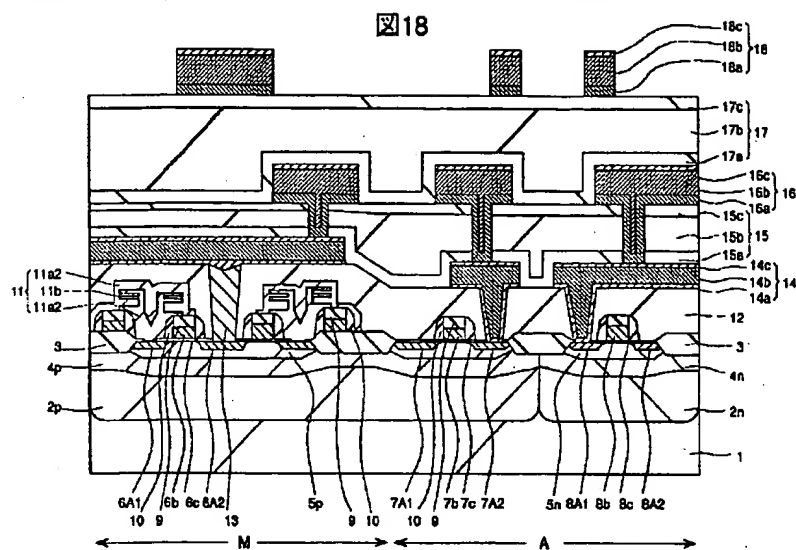
[Figure 16]





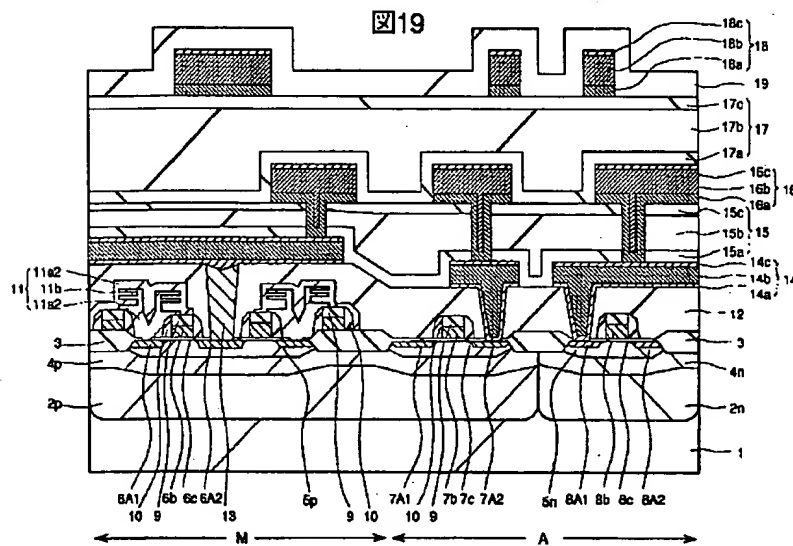
【図18】

[Figure 18]



【図19】

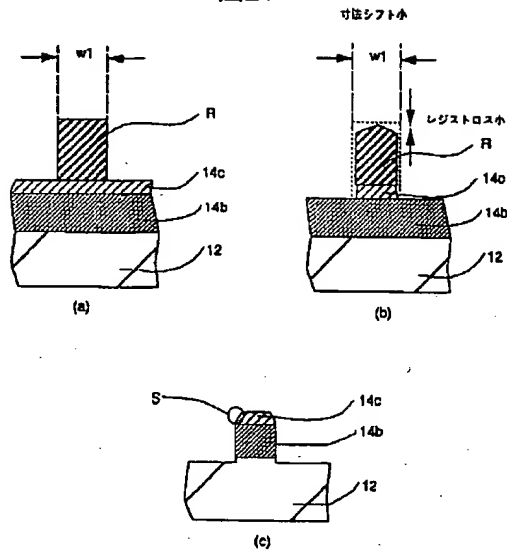
[Figure 19]



【図21】

[Figure 21 ]

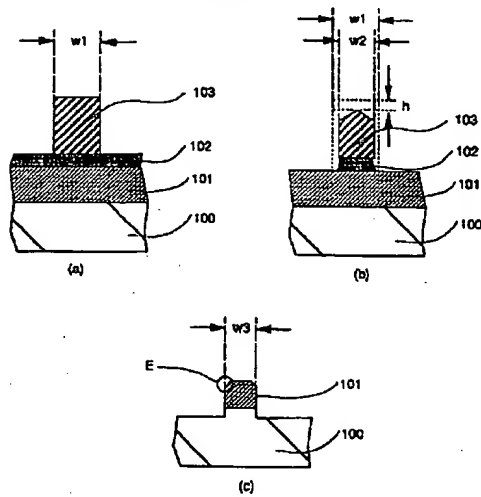
図21



【図24】

【Figure 24】

図24



【図27】

【Figure 2 7】

